

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-282416

(43) 公開日 平成11年(1999)10月15日

(51) Int. Cl.[°]

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

H

3/20 6 2 1

3/20 6 2 1 G

審査請求 未請求 請求項の数 17 O L

(全 18 頁)

(21) 出願番号 特願平11-16936

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日 平成11年(1999)1月26日

(72) 発明者 橋本 隆

東京都千代田区丸の内二丁目2番3号 三菱

(31) 優先権主張番号 特願平10-19294

電機株式会社内

(32) 優先日 平10(1998)1月30日

(72) 発明者 岩田 明彦

東京都千代田区丸の内二丁目2番3号 三菱

(33) 優先権主張国 日本 (J P)

電機株式会社内

(72) 発明者 浦壁 隆浩

東京都千代田区丸の内二丁目2番3号 三菱

電機株式会社内

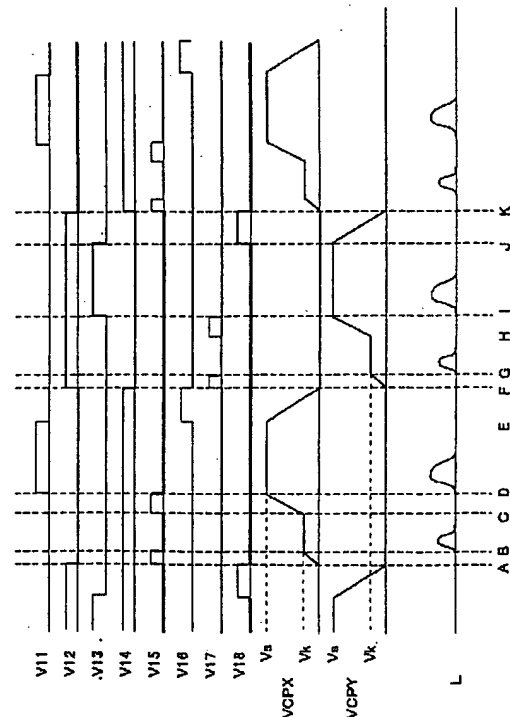
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 プラズマディスプレイパネルの駆動回路、その駆動方法およびプラズマディスプレイパネル装置

(57) 【要約】

【課題】 PDPは多数のセルの集合体である。維持期間に一斉に放電した場合はセル毎の放電電流は小さくても、各セルに共通のバス電極及び回路に流れる瞬時電流は非常に大きくなる。そのため、母電極の抵抗ドロップや回路インピーダンスによる損失が大きくなるし、電圧ドロップはマージンの低下を引き起こす。また、1セルに流れる放電電流を考えた場合、ピーク電流が大きくなると蛍光体を励起するための紫外線が電流に対して飽和してしまうため発光効率が低下する。

【解決手段】 半周期の間に第1の放電を行わせる第1の電圧値と、第2の放電を行わせる第2の電圧値とを有する維持パルスによって駆動するようにした。



【特許請求の範囲】

【請求項1】 半周期の間に第1の放電を行わせる第1の電圧値と、第2の放電を行わせる第2の電圧値とを有する維持パルスによって駆動することを特徴とする交流型のプラズマディスプレイパネルの駆動方法。

【請求項2】 無効電力を回収するための無効電力回収回路により発生する電圧と電源からの電圧とを切り替えて、上記維持パルスを形成することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 上記無効電力回収回路はプラズマディスプレイパネルの電極間容量に並列に接続された並列型無効電力回収回路であることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 上記無効電力回収回路はプラズマディスプレイパネルの電極間容量に直列に接続された直列型無効電力回収回路であることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 複数の異なる電圧出力を有する電源を備え、これら複数の異なる電圧を切り替えて上記維持パルスを形成することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 上記第1の放電および上記第2の放電は外部印加電圧主体の放電であり、複数のセルの放電タイミングが分散したものとなるように、上記第1の電圧値と上記第2の電圧値を設定することを特徴とする請求項1乃至5記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 上記第2の電圧値は最小維持電圧以上とし、上記第1の電圧値は放電開始電圧以下とすることを特徴とする請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 上記第1の放電および上記第2の放電は外部印加電圧主体の放電と壁電荷主体の放電を併用したものであり、上記維持パルスの半周期の間に同一のセルが複数回の放電に分散したものとなるように、上記第1の電圧値および上記第2の電圧値を設定することを特徴とする請求項1乃至請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項9】 上記第2の電圧値は上記第1の電圧値の略1/10以下とすることを特徴とする請求項8記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 維持パルスを、無効電力を回収するための無効電力回収回路により発生する電圧と電源からの電圧とを切り替えて形成し、無効電力回収回路により発生する電圧が連続的に上昇する間と、電源からの電圧供給時とで放電を発生させて、上記維持パルスの半周期の間に放電を複数回に分散させることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項11】 維持放電期間の初期は、上記維持パルスは上記第1の電圧値だけを有することを特徴とする請

求項1乃至10記載のプラズマディスプレイパネルの駆動方法。

【請求項12】 維持放電期間の終期は、上記維持パルスは上記第1の電圧値だけを有することを特徴とする請求項1乃至11記載のプラズマディスプレイパネルの駆動方法。

【請求項13】 請求項1乃至12の何れかに記載の駆動方法に従って駆動する駆動回路を備えたプラズマディスプレイパネル装置。

【請求項14】 外部印加電圧主体の放電と壁電荷主体の放電とを併用する交流型プラズマディスプレイパネルの電極間容量に並列に接続し、電極間容量の放電時に発生する共振電流で上記電極間容量を逆極性に再充電する共振コイルと、複数の回収スイッチからなる無効電力回収回路と、電源と、電極間容量の両端を上記電源に接続するためのメインスイッチからなるパルス発生回路を有するプラズマディスプレイパネルの駆動回路において、外部印加電圧を印加するパルスとパルスの間に壁電荷主体の放電を誘発する上記電極間の電位差が略ゼロの休止期間を設けることを特徴とするプラズマディスプレイパネルの駆動回路。

【請求項15】 上記休止期間は、上記電極間容量の放電時に発生する共振電流を上記パルス発生回路のメインスイッチを介して還流させたのち電極間容量に再充電することで得ることを特徴とする請求項14記載のプラズマディスプレイパネルの駆動回路。

【請求項16】 上記休止期間は上記共振コイルに並列に還流スイッチを設け、上記電極間容量の放電時に発生する共振電流を上記還流スイッチを介して還流させたのち電極間容量に再充電することで得ることを特徴とする請求項14記載のプラズマディスプレイパネルの駆動回路。

【請求項17】 上記休止期間は、上記共振コイルに並列に接続した部分共振コンデンサ及び部分共振コイルの直列接続からなる部分共振回路の共振波形で構成することを特徴とする請求項14記載のプラズマディスプレイパネルの駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は交流型プラズマディスプレイパネル（以下、AC-PDPと称する）、特に面放電型のAC-PDPの駆動回路及びその駆動方法に関する。

【0002】

【従来の技術】 PDPは、薄型のテレビジョンまたはディスプレイモニタとして種々の研究がなされている。その中で、メモリ機能を有するAC-PDPの一つとして、面放電型のAC-PDPがあり、以下に、このPDPの構造を図15を用いて説明する。

【0003】 図15は、従来の面放電型AC-PDPの

構造を示す斜視図であり、このような構造の面放電型AC-PDPは、例えば特開平7-140922号公報や特開平7-287548号公報に開示されるものである。同図15において、面放電型AC-PDP101は、表示面である前面ガラス基板102と、前面ガラス基板102と放電空間を挟んで対向配置された背面ガラス基板103とを備える。そして、前面ガラス基板102の放電空間側の表面上には、互いに対をなす第1電極104及び第2電極105がそれぞれn本ずつ延長形成されている。但し、図15に示すように、第1、第2電極104、105の表面上の一部に、金属補助電極（バス電極）104a、105aを有する場合には、当該金属電極をも含めて、それぞれを「第1電極104」、「第2電極105」と呼ぶこともできる。なお、第1、第2電極104、105をそれぞれ行電極104、105とも呼ぶ。AC-PDPは両行電極104、105を被覆するように誘電体層106が形成されている。また、図15に示すように、誘電体層106の表面上に誘電体であるMgO（酸化マグネシウム）から成るMgO膜107が蒸着法などの方法により形成される場合もあり、この場合には、誘電体層106とMgO膜107とを総称して、「誘電体層106A」とも呼ぶ。

【0004】他方、背面ガラス基板103の放電空間側の表面上には、m本の第3電極108（以下「列電極108」と称す）が行電極104、105と直交するように延長形成されており、隣接する列電極108間には、隔壁110が列電極108と平行に延長形成されている。この隔壁110は、各放電セルを分離する役割を果たすと共に、PDPが大気圧により潰されないように支える支柱の役割も果たす。そして、各列電極108の表面上及び隔壁110の側壁面上には、それぞれ赤、緑、青に発光する蛍光体層109が順序よくストライプ状に設けられている。

【0005】上述の構造を備える前面ガラス基板102と背面ガラス基板103とは互いに封着され、両ガラス基板102、103の間の空間にはNe-Xe混合ガスやHe-Xe混合ガスなどの放電用ガスが大気圧以下の圧力で封入されている。このような構造を有する面放電型AC-PDPにおいて、互いに対となる行電極104、105と列電極108により区画される放電空間が、当該PDPの1つの放電セル、即ち画素となる。

【0006】次に、従来のPDPの具体的な駆動方法を、図16、図17を用いて説明する。図16は、プラズマディスプレイ装置50の駆動部分の構成を模式的に示す図である。本プラズマディスプレイ装置50のPDPは、図15に示す構造のPDPを用いる。つまり、PDP10は、表示ライン方向（第1方向）に沿って配置された、少なくとも一方が誘電体（図15の誘電体層106又は106Aに相当）で覆われた第1の電極（図15の第1電極104に相当。以下「X電極」と呼ぶ）及

び第2の電極（図15の第2電極105に相当。以下「Y電極」と呼ぶ）から成る表示電極対を複数対備える。

【0007】図16に示すように、PDP10はn本のX電極 X_i （参照符号「X」に続く数字 i （ $i:1\sim n$ ）を以て区別し、以下「X電極 X_i 」とも呼ぶ）が互いに平行に形成されている。このX電極 X_i と互いに対を成すn本のY電極 Y_i （表記方法についてはX電極 X_i と同様とし、以下「Y電極 Y_i 」とも呼ぶ）が、X電極 X_i に隣接して且つ平行に形成されている。つまり、X電極 X_i とY電極 Y_i とが第1ブロックの表示電極対 X_i, Y_i を成す。そして、X電極 X_i 又はY電極 Y_i のそれぞれの一端は、各電極 X_i, Y_i に所定の信号（電位）を印加するための駆動回路14またはY電極ドライバ回路15に接続されている。X駆動回路14はX電極ドライバ回路141ならびに駆動IC142から構成される。

【0008】そして、表示電極対X、Yの配設方向に直交する方向（第2方向）に沿って互いに平行に列電極 $W_1\sim W_m$ （以下、総称して「W電極」とも呼ぶ）が順次に形成されており、W電極の各一端は駆動回路18に接続されている。駆動回路18はWドライバ181及び駆動IC182により構成される。

【0009】駆動回路14、Y電極ドライバ回路15、駆動回路18は電源回路41に接続されており、電力は電源回路41から供給する。また、各駆動回路は制御回路40から制御信号を入力することで動作させている。

【0010】以上のAC-PDPの駆動方法の一つとしては、例えば特開平7-160218号公報に開示される駆動方法がある。図17は、その駆動方法における1サブフィールド期間内の駆動波形を示すタイミング図である。なお、以下の説明では、図16におけるn本のX電極を「行電極 X_i 」（ $i:1\sim n$ ）と呼び、n本のY電極については、単一の駆動信号により駆動するものとして、n本を一括して「行電極Y」と呼ぶ。また、m本のW電極は「列電極 W_j 」（ $j:1\sim m$ ）と呼ぶ。

【0011】図17に示すサブフィールド（SF）は、画像表示のための1フレーム（F）を複数の期間に分割した内の一つであり、ここでは、サブフィールドを更に「リセット期間」、「アドレス期間」、「維持放電期間（表示期間）」の3つに分割している。

【0012】まず、「リセット期間」では、直前のサブフィールドの終了時点での表示履歴を消去するとともに、引き続きアドレス期間での放電確率を上げるためのブライミング粒子の供給を行う。具体的には、全ての行電極 X_n と行電極Yとの間に、その立下がり時に後に述べる自己消去放電を起こし得る電圧値の全面書き込みパルスを印加することにより、表示履歴を消去する。

【0013】次に、「アドレス期間」では、X電極の駆動IC142およびW電極の駆動IC182の動作によ

りマトリックスの選択して表示すべきセルのみを選択的に放電させて、そのセルに書き込みを行う。具体的には、図17に示すように、まず、IC142の制御によって行電極Xiに順次スキャンパルス V_{xg} を印加していき、点灯すべきセルにおいては、列電極Wjと行電極Xiとの間で書き込み放電である「アドレス放電」を発生させる。この時行電極Yには副走査パルス V_{ysc} を印加する。行電極Xi及び行電極Yには $V_{xg} + V_{ysc}$ の電位差が印加されることになる。この電位差はそれ自身では放電が開始しないが、先のアドレス放電をトリガにして直ちに行電極Xi、Y間にも放電が発生する

(転移する)電位差である。これにより当該セルの誘電体層106A(図15参照)の表面上には、後の維持パルスの印加のみで維持放電を行うことが可能な量の正又は負の電荷が蓄積される。

【0014】これに対して、消灯した状態のままのセルでは、アドレス放電を起こさせないため、当該セルの行電極Xi、Y間には書き込み維持放電は生じず、電荷の蓄積も無い。

【0015】アドレス期間が終了すると維持放電期間になる。維持放電期間では、電極Xの駆動ICは制御されず、この期間はXドライバ141のみで電極Xに電圧印加することになる。行電極Xi、Y間に維持パルスを印加することにより、この維持放電期間中、書き込みが行われたセルの維持放電が持続する。尚、維持放電期間中の列電極Wjの電位は、行電極Xi、Y間の維持パルスの電圧値を V_s とした場合、およそ $V_s/2$ に設定されている。これは、アドレス期間から維持放電期間への移行時に、維持放電が安定に開始できるようにするための駆動方法である。

【0016】ここで、図15を参照しながら、維持放電期間の動作を詳しく述べる。まず、行電極104、105間に維持電圧パルスを印加して、放電を起こす。そして、この放電により生じる紫外線が図15の蛍光体層109を励起することにより、放電セルが発光する。この放電の際に、放電空間中に生成された電子やイオンは、それぞれの極性とは逆の極性を有する行電極104、105の方向に移動し、行電極104、105上の誘電体層106Aの表面上に蓄積する。このようにして誘電体層106Aの表面上に蓄積した電子やイオンなどの電荷を「壁電荷」と呼ぶ。なお、壁電荷の量は、外部印加電圧値に依存するため、壁電荷が形成する電位は、外部印加電圧以上の値とはなり得ない。

【0017】この壁電荷が形成する電界は印加電界を弱める方向に働くため、壁電荷の形成に伴い、放電は急速に消滅する。放電が消滅した後に、先程とは極性を反転した電圧パルスを行電極104、105間に印加すると、この印加電界と壁電荷による電界とが重畳された電界が、実質的に放電空間に印加されるため、再び放電を起こすことができる。このように、一度放電が起きる

と、放電開始時の電圧に比べて低い印加電圧(以下「維持電圧」と称す)を印加することで、放電を起こすことができるため、両行電極104、105間に順次に極性を反転させた維持電圧パルス(以下「維持パルス」とも呼ぶ)を印加すれば、放電を定常的に維持させることができる。すなわち維持放電が継続する。

【0018】上述の動作原理によれば、印加パルスの立ち上がり時の放電は、実効的な電圧は外部印加電圧が主体であり、壁電荷はあくまでもその補佐として働いていると言うことができる。そこで、この放電を「外部印加電圧主体の放電」と呼ぶ。

【0019】他方、外部印加電圧が非常に高電圧の場合、壁電荷は放電開始電圧以上の電位を形成することがある。この場合には、印加パルスの立ち下がり時において、当該壁電荷だけで放電が起こり得る。このように、外部から電圧が印加されていない状態で発生する放電を「自己消去放電」と呼ぶ。このような放電の実効電圧は壁電荷が主体であるため、「壁電荷主体の放電」と呼ぶ。なお、壁電荷主体の放電時に、放電がより大きくなる方向に外部印加電圧を補佐的に印加しても良いため、ここでは、外部電圧が印加されている場合も含めて、「壁電荷主体の放電」を定義することにする。

【0020】「外部印加電圧主体の放電」で構成される先行技術は、特開平9-62225や特開平8-278766など数多く開示されているが、「壁電荷主体の放電」を積極的に利用しようという技術は数多くは開示されていない。わずかに、特開平8-314405号公報や、本発明者らによる先願の発明、特願平9-271458で「壁電荷主体の放電」を積極的に発生させる駆動方法が示されている。

【0021】(無効電力回収回路)AC-PDPは容量性の負荷であるため、このPDPを充・放電する際に駆動電圧パルスの電圧値の2乗及びパネルの容量成分に比例する無効電力(放電ないしは発光に寄与しない電力)が生じる。従って、PDPのパネルサイズの増加に伴ってパネルの容量性負荷も増加するため、全消費電力における無効電力は無視できないほど大きなものになる。

【0022】そこで、かかる無効電力を回収する回路についての技術が、例えば特開平8-152865号公報や特公昭56-30730号公報に開示されている。図18は前者の公報に開示される無効電力回収回路(以下、「回収回路」とも呼ぶ)を有するプラズマディスプレイ装置の駆動回路を示す図である。図18に示す駆動回路は、維持放電期間の動作中を模擬する回路であって、この期間は図16の駆動IC142は導通状態になっており、X電極はXドライバと直結されることになる。従って、回路的にはX電極とY電極は容量成分CPで代表されるから、維持放電期間では、無効電力回収回路を含む駆動回路は図18に示される回路となる。すなわち、容量成分CPを有するPDP201と、スイッチ

素子であるFET204~207を有するパルス発生回路200とを備え、更に、スイッチ素子であるFET212、213とコイル208と抵抗209とダイオード210、211とから成る無効電力回収回路202がPDP201(従って、容量成分CP)と並列に接続されている。このため、回収回路202は並列共振型の無効電力回収回路とも呼ばれる。当該プラズマディスプレイ装置において、PDP201の放電後の容量成分CPに蓄積されているエネルギーを一度コイル208に吸収させ、引き続き放電のために直ちにこのエネルギーを前回の放電時とは逆極性の方向に再充電するようにFET204~207、212、213が駆動制御される。このようにして、図18のプラズマディスプレイ装置は、回収回路202によって容量成分CPの放電エネルギーを回収・再利用している。

【0023】他方、図19は、例えば特開昭62-192798号公報や特開昭63-101897号公報に示される無効電力回収回路302を有するプラズマディスプレイ装置の駆動回路を示す図である。図19に示すように、当該プラズマディスプレイ装置は、容量成分CPを有するPDPと、スイッチ304~307を有するパルス発生回路とを備え、スイッチ312~315とコイル308、309とコンデンサ310、311から成る回収回路302を備える。図19に示すように、回収回路302は容量成分CP(即ちPDP)の両端に直列に接続されるため、直列共振型の無効電力回収回路とも呼ばれる。当該プラズマディスプレイ装置において、スイッチ312~314を適切に制御することにより、放電後の容量成分CPに蓄積されているエネルギーをコイル308、309を介して一旦コンデンサ310、311に回収した後に、所定のタイミングにおいて上記エネルギーを利用して容量成分CPを再充電している。

【0024】図19の直列共振型の回収回路302は、図18の並列共振型の回収回路202と比較して、その部品点数が多く、部品スペースも大きいのでコストが高くなるが、他方において、放電エネルギーを一度コンデンサ310、311に充電する駆動方法なので、駆動電圧パルスの設計(特に印加タイミング)の自由度が大きく、従って、放電をコントロールしやすいという利点がある。

【0025】

【発明が解決しようとする課題】(輝度分布)外部印加電圧主体の放電は上述のように、ある決められた電位を印加することで放電させるため、放電強度がセル固有の放電電圧により制限されてしまう。従って、放電開始電圧の低いセルは輝度が高く、放電開始電圧の高いセルは輝度が低いなど表示ムラが生じるという問題があった。

【0026】(マクロ的ピーク電流)PDPは多数のセルの集合体である。維持放電期間に一斉に放電した場合はセル毎の放電電流は小さくても、各セルに共通のバス

電極及び回路に流れる瞬時電流は非常に大きくなる。そのため、母電極の抵抗ドロップや回路インピーダンスによる損失が大きくなるし、電圧ドロップはマージンの低下を引き起こす。

【0027】また、特に外部印加電圧主体の放電のみで駆動する場合、放電開始電圧の高い(放電しにくい)セルに対応した電圧を印加して制御するため放電開始電圧の低いセルは必要以上の放電電流が流れてしまう。従ってパネル内の各セルの放電開始電圧分布が大きいほど、母電極の抵抗ドロップや回路インピーダンスによる損失は大きくなる。

【0028】(ミクロ的ピーク電流)1セルに流れる放電電流を考えた場合でも、放電電流は小さい方がよい。ピーク電流が大きくなると蛍光体を励起するための紫外線が電流に対して飽和してしまうため発光効率が低下するのである。これもまた、パネル内の各セルの放電開始電圧分布が大きいと、放電開始電圧の高いセルに電圧を設定することになり、放電開始電圧の低いセルは上述の母電極、回路インピーダンスの損失以外にも、放電自体が損失の大きいものになる。

【0029】(電圧マージン)従って、以上の考えに基づけば最適な放電とは各々のセルを必要最小限の放電電流でそろえた状態といえる。しかし、これは放電の弱体化を意味するものでありマージン低下につながる可能性がある。特に、維持放電期間の最初は空間電荷が少なく放電の開始電圧が高いなど放電が持続しにくい条件にある。また、維持放電期間の終了時に表示履歴をリセットすることを考えると弱体化した放電では安定したマージンを得ることはできない。

【0030】(回路構成)また、並列共振型の回収回路を利用して自己消去放電を誘発する場合には、従来の回路構成自体では問題がある。並列共振型の駆動回路ではパルスとパルスの間に壁電荷主体の自己消去放電に適した電圧を保持する休止期間が存在しないため、自己消去放電を起こしにくいからである。また、補助的に電圧パルスを印加して壁電荷主体の放電を誘発する場合には、上述の従来の並列共振型駆動回路だけでは不可能であり、誘発するためのパルスの作成には別の電源及びスイッチを用いなければならなかった。

【0031】そこで、本発明は上記の考えに基づいてなされたものであり、放電の選択幅を広げ、輝度むらのない駆動方法を提供することを第1の目的とする。

【0032】また、電流のピークを下げて、母電極の抵抗、回路インピーダンスによる損失を小さくした、すなわち放電の効率、発光効率を向上させた駆動方法を提供することを第2の目的とする。

【0033】維持放電を弱体化して輝度分布の低減、ピーク電流の分散を図った場合でも、電圧マージンを損なわない駆動方法を提供することを第3の目的とする。

【0034】並列共振型の無効電力回収回路においても

パルスとパルスの間に休止期間を設けることで自己消去放電を発生しやすくするAC-PDPの駆動回路を得ることを第4の目的とする。

【0035】並列共振型の無効電力回収回路においても、自己消去放電をより良く利用するために補佐的に印加する電圧パルスが形成できるAC-PDPの駆動回路を得ることを第5の目的とする。

【0036】

【課題を解決するための手段】請求項1の発明に係るプラズマディスプレイパネルの駆動方法は、半周期の間に第1の放電を行わせる第1の電圧値と、第2の放電を行わせる第2の電圧値とを有する維持パルスによって駆動するものである。

【0037】請求項2の発明に係るプラズマディスプレイパネルの駆動方法は、無効電力を回収するための無効電力回収回路により発生する電圧と電源からの電圧とを切り替えて、維持パルスを形成するものである。

【0038】請求項3の発明に係るプラズマディスプレイパネルの駆動方法は、無効電力回収回路をプラズマディスプレイパネルの電極間容量に並列に接続された並列型無効電力回収回路としたものである。

【0039】請求項4の発明に係るプラズマディスプレイパネルの駆動方法は、無効電力回収回路をプラズマディスプレイパネルの電極間容量に直列に接続された直列形無効電力回収回路としたものである。

【0040】請求項5の発明に係るプラズマディスプレイパネルの駆動方法は、複数の異なる電圧出力を有する電源を備え、これら複数の異なる電圧を切り替えて維持パルスを形成するものである。

【0041】請求項6の発明に係るプラズマディスプレイパネルの駆動方法は、第1の放電および第2の放電は外部印加電圧主体の放電であり、複数のセルの放電タイミングが分散したものとなるように、上記第1の電圧値と上記第2の電圧値を設定するものである。

【0042】請求項7の発明に係るプラズマディスプレイパネルの駆動方法は、第2の電圧値は最小維持電圧以上とし、第1の電圧値は放電開始電圧以下とするものである。

【0043】請求項8の発明に係るプラズマディスプレイパネルの駆動方法は、第1の放電および第2の放電は外部印加電圧主体の放電と壁電荷主体の放電を併用したものであり、上記維持パルスの半周期の間に同一のセルが複数回の放電に分散したものとなるように、第1の電圧値および第2の電圧値を設定するものである。

【0044】請求項9の発明に係るプラズマディスプレイパネルの駆動方法は、第2の電圧値は第1の電圧値の略1/10以下とするものである。

【0045】請求項10の発明に係るプラズマディスプレイパネルの駆動方法は、維持パルスを、無効電力を回収するための無効電力回収回路により発生する電圧と電

源からの電圧とを切り替えて形成し、無効電力回収回路により発生する電圧が連続的に上昇する間と、および電源からの電圧供給時とで放電を発生させて、維持パルスの半周期の間に放電を複数回に分散させるものである。

【0046】請求項11の発明に係るプラズマディスプレイパネルの駆動方法は、維持放電期間の初期は、維持パルスは第1の電圧値だけを有するものである。

【0047】請求項12の発明に係るプラズマディスプレイパネルの駆動方法は、維持放電期間の終期は、維持パルスは第1の電圧値だけを有するものである。

【0048】請求項13の発明に係るプラズマディスプレイ装置は、請求項1乃至12のいずれかに記載のプラズマディスプレイパネルの駆動方法により駆動されるプラズマディスプレイパネルを備えるものである。

【0049】請求項14の発明に係るプラズマディスプレイ装置は、外部印加電圧主体の放電と壁電荷主体の放電とを併用する交流型プラズマディスプレイパネルの電極間容量に並列に接続し、電極間容量の放電時に発生する共振電流で上記電極間容量を逆極性に再充電する共振コイルと、複数の回収スイッチからなる無効電力回収回路と、電源と、電極間容量の両端を前記電源に接続するためのメインスイッチからなるパルス発生回路を有するプラズマディスプレイパネルの駆動回路において、外部印加電圧を印加するパルスとパルスの間に壁電荷主体の放電を誘発する電位差略ゼロの休止期間を設けたものである。

【0050】請求項15の発明に係るプラズマディスプレイ装置は、請求項14記載のプラズマディスプレイパネル装置において、休止期間は、上記電極間容量の放電時に発生する共振電流を上記パルス発生回路のメインスイッチを介して還流させたのち電極間容量に再充電することを得るものである。

【0051】請求項16の発明に係るプラズマディスプレイ装置は、請求項14記載のプラズマディスプレイパネル装置において、休止期間は上記共振コイルに並列に還流スイッチを設け、上記電極間容量の放電時に発生する共振電流を上記還流スイッチを介して還流させたのち電極間容量に再充電することを得るものである。

【0052】請求項17の発明に係るプラズマディスプレイ装置は、請求項14記載のプラズマディスプレイパネル装置において共振コイルに並列に接続した部分共振コンデンサ及び部分共振コイルの直列接続からなる部分共振回路の共振波形で構成するものである。

【0053】

【発明の実施の形態】実施の形態1. 図1、図2が本発明による実施の形態1を示す図であるが、この図の説明を述べる前に、まず、「外部印加電圧主体の放電」による駆動と、本発明者らによる先願の発明、特願平9-271458に示された「壁電荷主体の放電」を併用した駆動との違いを説明する。「壁電荷主体の放電」の特徴

の一つに、パネル内の電圧分布を緩和し、面内輝度ばらつき（表示ムラ）を少なくすることがある。これはたとえパネル内の各セルに放電電圧の分布が存在していても、そのセルの放電特性に応じた量の壁電荷を形成して放電が終了するため、引き続いて外部印加電圧主体の放電を起こした場合には、各セルの発光強度をそろえることができるというものである。すなわち、「外部印加電圧主体の放電」だけで維持放電を行った場合は印加電位が固定されているため生成する壁電荷分だけ放電強度がセルによって異なってしまうが、「壁電荷主体の放電」を併用すれば、自動的に放電電圧の高い（放電しにくい）セルは壁電荷主体の放電が小さく、放電電圧の低い（放電しやすい）セルは壁電荷主体の放電が大きくなるなど自己調整することができる。

【0054】この概念は、「外部印加電圧主体の放電」が1サイクルあたり2回の決められた印加電圧で放電するのに対し、「壁電荷主体の放電」を併用した駆動は1サイクルあたり4回の放電で、そのうちの2回がセルの特性に応じてセル自身が自由に放電強度を選べるといった放電の選択肢が増えたためと考えることができる。

【0055】さらに、壁電荷主体の放電を併用すると発光効率を向上させることができる。AC-PDPは通常グロー放電領域を利用して駆動されるため電流密度が高くなると発光効率が悪くなるという特性を持つ。これに関しては例えば「プラズマディスプレイ最新技術」（御子柴：EDリサーチ、1996年発行）に詳しく述べられている。外部印加電圧主体の放電のみで放電を持続した場合、高効率化のためには外部印加電圧をマージン限界まで低くしなければならない。一方、壁電荷主体の放電を併用することで放電を持続させる場合、壁電荷主体の放電により壁電荷量は減るため、駆動は空間電荷を利用したものとなる。放電にかかる電圧を可能な限り低くし、空間電荷を利用してマージンをとることで電流密度を下げることで高効率を得ることができる。

【0056】以上説明した「壁電荷主体の放電」を併用して高効率を得る方法に関しては、本発明者らの先願の発明、特願平9-271458で明らかにしたが、本発明はそのさらに具体的な駆動方法および装置を提供するものである。

【0057】以下、図に基いて本発明による実施の形態1を説明する。図1および図2は、本発明の実施の形態1を示す無効電力回収回路および具体的な駆動方法を示す図である。まず、図1においては、PDPの各放電セルは容量性負荷であることに鑑みて、PDPの互いに隣接しあう任意の放電セルを、放電セルに係る容量成分CPとして模擬的に図示している。本実施の形態では、直列共振型の無効電力回収回路が使用されている。図1に示すように、容量成分CP、即ちPDPのX電極の一端は、ドレイン端子が供給電源Vs（Vs：サステイン電圧）に接続されたn型MOS FET11（スイッチと

寄生ダイオードの記号で示されている）のソース端子に接続されており、当該ソース端子はn型MOS FET12のドレイン端子に接続されており、n型MOS FET12のソース端子は接地されている。なお、両MOS FET11、12のそれぞれに並列接続された寄生ダイオードをも含めて、以降、FETと呼び、他の後述するMOS FETについても同様とする。

【0058】かかるFET11、12は、X電極ドライバ回路141（図16参照）の一部（維持放電時に表示放電電流が流れるメインラインを成す）を構成し、各FET11、12のゲート端子に印加される駆動信号（ゲート電圧）によってX電極の電位を電源電位Vsあるいは接地電位に保持（クランプ）するためのクランプスイッチ素子として動作する。なお、かかる構成のクランプスイッチ素子を、それに含まれるFETの参照符号を用いて「クランプスイッチ素子11、12」のように呼ぶ。また、駆動IC142は維持放電期間には導通状態となっているのでここでは省略している。

【0059】他方、Y電極の一端は、Y電極ドライバ回路15（図16参照）内に設けられた、FET13、14を含むクランプスイッチ素子13、14に接続されている。

【0060】さて、図1中の破線で囲んだ部分の回路2が、無効電力回収回路である。以下、無効電力回収回路2を「回収回路2」とも呼ぶ。回収回路2は従来の直列型無効電力回収回路（図19参照）とおおよそ同じ構成でよい。ただし、回収コンデンサ27、28に並列に、且つ、回収コイル19、20がカソードにGNDがアノードになるようにダイオード25、26が接続されている。

【0061】次に、図1を参照しつつ、図2に示す維持放電期間（1サブフィールド）中の各パルスの電圧波形のタイミングチャートに従って、PDP10の駆動方法を説明する。なお、図2中の電位V11～V18はそれぞれFET11～FET18の各ゲート端子に印加される駆動信号電圧を示す。また、図2中のVCPX、VCPYはそれぞれ回路から出力し、PDPの容量成分CP、すなわちX電極およびY電極に印加される電圧波形を示し、Lは発光波形を示す。

【0062】なお、本発明においては特に維持放電期間中のX電極、Y電極の電位が重要でありW電極の電位は言及しない。X電極、Y電極との放電を避ける目的で略中間電位にDCパルスを印加してもよい。また、VCPX、VCPY一組を一周期として任意の回数繰り返し印加し輝度を得る。（図2ではあるタイミングの一周期半のパルスが示されている。）

【0063】さて、タイミングAにおいて、FET12をOFFにした後にFET15をONにする。これにより、回収コンデンサに貯えられたエネルギーはFET15、共振コイル19を介してパネルCPに向かって放出

し始める。それに従い、VCPXの電位も上昇し始めるが、その途中、タイミングBでFET15を一時OFFにする。この時、ダイオード25の一端がコイル19に、他端がGNDに接地されているため、FET15が開放状態であっても、GND-ダイオード25-コイル19-パネルCP-FET14-GNDといったループ(回路)が形成し、安定してパネルCPの電圧Vk(第2の電圧値)を確保することができる。

【0064】タイミングCで再度FET15をONとして回収コンデンサの残りのエネルギーをパネルCPに供給する。タイミングDで十分にエネルギーを放出した後、FET11がONすることで電源から第1の電圧値であるVsの電圧が供給され、クランプされる。このように、維持パルスは複数の電圧値を有する波形に形成される。尚、図2ではFET11及びFET15は重ならないタイミングで記載されているが、重ねても問題ない。逆に、数100ns程度重ねた方が波形は安定する。

【0065】タイミングEでは、FET11がOFF、FET16がONとなることでパネル容量CPに貯えられたエネルギーはコイル19、ダイオード22、FET16を介して回収コンデンサ27に移行する。十分電流が流れきったタイミングFでFET12をONとすることでVCPXはGND電位にクランプされる。FET16、FET12も上述のようにONタイミングを重ねてもよい。

【0066】その後、タイミングFでVCPXがGNDになると同時にFET17がONとなり、VCPYの電位は上昇する。タイミングGで一度FET17をOFFとし、タイミングHで再度ONとすることで、VCPYには電位Vkで段が生じる。タイミングIでコンデンサ28のエネルギーが十分パネルCPに移行した後、FET13をONにしてVCPYをVsにクランプする。タイミングJでFET13をOFF、FET18をONにして、パネルCPに貯えられたエネルギーをコイル20、ダイオード24、FET18を介して回収コンデンサ28に移行する。十分に共振電流がながれたタイミングKでFET14をONとし、VCPYの電位をGNDにクランプする。タイミングKはすなわちタイミングAであり、上記の動作は指定回数繰り返される。

【0067】ここで説明した1周期の間に、放電はタイミングB~タイミングC、タイミングD~タイミングE、タイミングG~タイミングH、タイミングI~タイミングJの4回発生している。これは、印加する階段状のパルス波形の電圧レベル、すなわち第1の電圧値Vsと第2の電圧値Vkのレベルにより2通りに考えることができる。

【0068】(ケースI: $V_k \geq$ 最小維持電圧の場合)
まず、第2の電圧値Vkが十分高く、例えば、 $V_k \geq$ 最小維持電圧の場合を考える。パネルCPは複数のセルの集合体であるから放電電圧には各々ばらつきが生じる。50

放電電圧の低いセル(つきやすいセル)はVkで放電し、放電電圧の高いセル(つきにくいセル)はVsで放電させることができる。一点放電開始電圧をVf1、全点放電開始電圧をVfn、一点消灯電圧をVsm1、全点消灯電圧をVsmnと定義するならば、放電電圧の低いセルのマージンは $V_{smn} \sim Vf1$ 、放電電圧の高いセルのマージンは $V_{sm1} \sim Vfn$ といえる。もちろんパネルのマージンは $V_{sm1} \sim Vf1$ である。パネルによりこれらの電圧はばらつくが、おおよそ $Vf1 = 210V$ 、 $Vfn = 230V$ 、 $V_{sm1} = 155V$ 、 $V_{smn} = 135V$ 程度である。第1の電圧値である設定電圧Vsを160Vとするならば、放電電圧の高いセルはマージン下限から5V上という輝度の低い発光になるが、放電電圧の低いセルはマージンから25V上と輝度が高くなる。そこで、第2の電圧値であるVkを140Vに設定すれば、放電電圧の高いセルはVkでは放電できずVsで放電し、放電電圧の低いセルはVkで放電するようになる。この場合いずれもマージンから5V上で動作することになり輝度は等しくなる。

【0069】尚、必ずしも放電電圧の低いセルが常にVkで点灯し、放電電圧の高いセルが常にVsで点灯するとは限らない。セルのその時その時の条件によっては、Vsでの点灯とVkでの点灯とを交互に繰り返す場合もある。従来Vsだけでしか放電する電圧が与えられなかったのに対し、本発明ではVkという中間の電圧を与えることにより、 $(Vs - Vs)$ 、 $(Vs - Vk)$ 、 $(Vk - Vk)$ という組み合わせで放電することができる。すなわち、セル固有の放電特性に応じてセル自身が放電電圧を自由に選んで放電することになる。このように、Vsで放電するセルやVkで放電するセルが存在することになり、図2に示す発光波形Lは複数あるセル全体として図のように維持パルスの半周期で2回発光するような波形になるわけである。すなわち、第1の放電が第1の電圧値Vsで行われ、第2の放電が第2の電圧値Vkで行われる。従って、放電電流は分散されることになる。

【0070】これにより、従来、放電電圧のばらつきが引き起こしていた、輝度むら、母電極・回路インピーダンスの損失、放電効率の低下、を軽減することができる。

【0071】また、電源電位をVs以外に設けてもよいし、2段階に分けていた回収電流を3段階以上に分割して供給してもよい。すなわち、維持パルスを一つの電圧値だけではなく、複数の電圧値を有する波形に形成し、それぞれの電圧値で放電を起こすことにより、放電の選択幅は飛躍的に増えより一層の効果が得られることはいうまでもない。

【0072】(ケースII: $V_k \leq Vs/10$ の場合) 次に第2の電圧値Vkが十分に低く、例えば、 $V_k \leq Vs/10$ の場合を考える。第1の電圧である設定電圧Vs

が比較的高い領域、若しくは空間電荷をよりよく利用し、放電開始電圧を低くした領域では自己消去放電が起こる。 V_k は自己消去放電をより強く引き起こす向きに印加するため、自己消去放電（壁電荷主体の放電）の強度は強まる。補助的にはたらく V_k は高すぎると、先の V_s で生じた壁電荷を減らしすぎ（場合によっては反転してしまい）、次に V_s が印加されても放電は持続できない。図3は本発明者らによる先願発明の特願平9-271458に示された、 V_k に相当する自己消去援護パルス電圧値と発光効率を示す図であるが、 V_k の最大値は17Vでありそれ以上でのマージンは確保できなかった。この V_k の最大値はパネル構造に依存する値ではあるが、おおよそ設定電圧 V_s （ケースIで説明したパネルマージン155V~210Vの範囲）に対して1/10以下程度といえる。

【0073】先のケースIとケースIIの違いを述べる。ケースIでは各セルでの放電は1周期あたり2回であった。すなわち、一度 V_k で放電したセルはその後 V_s では点灯できない。これは、一度 V_k で放電すると逆方向に壁電荷が蓄積してしまい、仮に再度点灯させる場合にはそれを打ち消すほどの電圧を印加しなければならないからである。例えば、それは2 V_s 程の高電圧であり V_k と V_s の差が $V_s/4$ 以下と非常に小さい本実施の形態では起こり得ない。他方ケースIIでは放電電圧の低いセルが V_s で放電し、多くの壁電荷が形成した状態で次のサイクルの V_k で再度放電するものであるから、同一のセルが1周期あたり4回放電するものと考えることができる。この場合も全体としての発光波形は図2のLで示す波形となり、放電電流も分散されたものとなる。

【0074】上述の発光形態の違いをさらに明確化する場合例えば V_s を変化させずに V_k 電位を変えればよい。仮に V_k 電位を V_s 電位まで徐々に引き上げて途中でも放電が途切れず、 V_k での発光と V_s での発光がアナログ的に融合する場合はケースIと考えることができる。逆に、 V_k をあげるに従い徐々に V_s での発光が弱まって、徐々に放電が遅れ、放電が途切れてしまう電圧レベルが存在する場合はケースIIと考えることができる。

【0075】ケースIIにおいても、放電電圧の高いセルは V_k での発光が弱く（場合によっては放電せず）、放電電圧の低いセルは V_k での発光は強くなるなど、ケースIほどではないが放電に選択性をもたせることができる。また、同一セルにおいて放電回数を多くし、1回あたりのピーク電流を下げているためケースI以上に放電の発光効率は向上する。

【0076】実施の形態2。図4は本発明による実施の形態2の駆動方法を説明する図である。実施の形態1ではケースI、ケースIIの何れにおいても無効電力回収回路からパネルに流れる供給電流を一時止めることで第2の電圧値を設けていた。しかし、従来同様に積極的に第

2の電圧値としての段を設けなくとも電圧の設定によっては発光を分散させることができる。図4はこの場合の電圧波形VCPX、VCPY及び発光波形を示したものである。パネル容量に回収回路からエネルギーが供給されている途中、すなわち電圧が上昇している間で一度放電し、回収回路からのエネルギーの供給が途絶えた後に電源からの電圧を印加してエネルギー供給することにより再度放電している。本発明の趣旨が放電電流を分散、ピーク電流を低減することにあるから、維持パルスを第2の電圧値で段を有する形状にしなくても従来型の無効電力回収回路で放電電流が分散できればある程度の効果を得ることができる。

【0077】特に、ケースIIの場合は電圧の変化速度に大きく依存し、放電遅れ時間よりも遅く、ゆっくりと電圧が変化する場合、壁電荷主体の放電は必要最小限なものとなってしまふ。逆に、放電遅れ時間以上に早く電圧が変化する場合、 $V_k \geq V_s/10$ になる可能性もありマージンの低下につながる。従って、壁電荷主体の放電中は電位が変化しないようにすることが望ましい。

【0078】また、従来のある一定の設定電圧のみで放電を制御する方法との違いは発光波形を観測するだけで明らかであり、発光波形が複数のピークを持つ場合は本発明における動作点で動作させたものと判断することができる。

【0079】実施の形態3。図5は実施の形態3の駆動方法を示すタイミングチャートである。実施の形態1におけるケースIIではX電極のパルス立ち下りとY電極のパルスの立ち上り、あるいはY電極のパルスの立ち下りとX電極のパルスの立ち上りは連続性をもっていた方がよい。GND電位に段が存在する場合にはその段において壁電荷主体の放電が発生し、十分な効果が得られない場合があるからである。図5にその対策としてタイミングチャートを示し説明する。尚、回路構成などは実施の形態1に準じ、図1と同じとする。

【0080】図5では第2の電圧値 V_k を作成する設計思想が実施の形態1と異なる。具体的にはタイミングDでFET11がOFF、FET16がONしたときに同時若しくは若干遅れてFET17をONとする。これにより、コンデンサ28のエネルギーが、FET17、コイル20、FET14を結ぶループ（回路）により還流し始めコイル20にはリアクタンスに応じたエネルギーが貯えられる。タイミングEでFET12がONすると同時にFET17をOFFとすることで、コイル20に貯えられたエネルギーがパネルに流れる。一度コイル20に貯えているため、X電極の立ち下りとY電極の立ち上りは連続的となる。その後、壁電荷主体の放電終了を見計らってタイミングFから再度FET17をONとし、コンデンサ28に残存するエネルギーをパネルに供給する。

【0081】同様にタイミングHでFET13がOF

F、FET18がONと同時に若しくは若干遅れてFET15がONすることで、コイル19にエネルギーが貯えられ、タイミングIでFET14がONするのと同時にFET15をOFFとし、コイル19のエネルギーをパネルに供給する。さらに、壁電荷主体の放電終了後のタイミングJでコンデンサ27に貯えられている残りのエネルギーをパネルに供給する。

【0082】本実施の形態3は実施の形態1と比較して、FET17、FET15のONタイミングをずらしただけではあるが、コイル20、コイル19に流れる電流を途中で中断するのと一度リアクトルにエネルギーを移行してそれをパネルに供給するのでは設計思想が異なる。実施の形態1ではFET17、FET15のON時間を制御することでV_kの電圧を比較的容易に作ることができるが、実施の形態3ではコイル20、コイル19に依存し、FET17、FET15の時間で制御はできない。しかし、実施の形態3を用いれば、放電電流が大きい場合でも実施の形態1以上に十分な電流を流すことができる。

【0083】尚、コイル19、20に回収コンデンサ27、28のエネルギーを供給し、電流を還流させている期間は理想回路であればエネルギーの損失はないが、実際には抵抗により消費してしまう。従って、還流時間はある程度短い方がよい。

【0084】実施の形態4。図6は、PDP装置50の本発明の実施の形態4による駆動波形を示す電圧波形及び発光波形を示したものである。本プラズマディスプレイ装置は、図16に示すプラズマディスプレイ装置50の構成を用いることができ、駆動方法に特徴をもつものである。従って、以下の説明において同図16中の構成要素については同一の符号を以て表記する。

【0085】図6は行電極X_i (i=1,2,...,n)、行電極Y、列電極Wの電位、発光波形を示し、1サブフィールド期間内の駆動波形を示すものである。なお、本実施の形態3に係る駆動方法では、図6に示すように、主に正のパルスを用いてPDP装置50を駆動させているが、勿論、図6に示すパルスの極性を全て反転させて駆動しても良い。

【0086】(リセット期間) まず、「リセット期間」では、全ての列電極W_jと行電極Yとの間に、全面書き込みパルスを印加して、直前のサブフィールドの終了時点での表示履歴を消去するとともに、プライミング粒子の供給を行う。

【0087】(アドレス期間) 次に、「アドレス期間」では、表示すべきセルのみに選択的にアドレス放電を起こす。図17に示す先行技術例同様に、行電極X_iに順次スキャンパルスV_{xg}を印加していき、点灯すべきセルにおいては、列電極W_jと行電極X_iとの間で書き込み放電である「アドレス放電」を発生させる。この時行電極Yには副走査パルスV_{ysc}を印加する。行電極X

i及び行電極YにはV_{xg}+V_{ysc}の電位差が印加されることになる。この電位差はそれ自身では放電が始まらないが、先のアドレス放電をトリガにして直ちに行電極X_i、Y間にも放電が発生する(転移する)電位差である。これにより後の維持パルスの印加のみで維持放電を行うことが可能な量の正又は負の壁電荷が蓄積される。

【0088】(維持放電期間) そして、「維持放電期間」では、行電極X_i、Y間に維持パルスを印加することにより、書き込みが行われたセルについて、このサブフィールド内の維持放電を行う。ここで、維持放電期間の初期の一周期は無効電力回収回路を動作させていない。すなわち、図1の例で言えば、FET15~18は動作させない。次の周期からは無効電力回収回路を動作させ、発光ピークを2つに分割しピーク値を小さくさせている。また、維持放電期間の最終の1周期は無効電力回収装置を動作させていない。維持放電期間のそれ以外の期間では、無効電力回収回路を動作させ、放電に積極的に利用する駆動波形を、実施の形態1で示したように複数の電圧値を有する形状に形成してもよいし、維持パルスの複数の電圧値を外印加電圧で形成してもよい。本実施の形態4の特徴は、維持放電期間の初期及び終期の印加波形を、それ以外の期間の維持パルスの第1の電圧値V_sだけで構成する、すなわち矩形形状のパルスにしたことにある。

【0089】アドレス期間の終了時から維持放電期間の最初までは、例えばX1ラインを考えるとアドレスパルス幅×アドレスライン数の時間だけ離れている。これは条件によっては1msec以上と非常に長く、アドレス期間で発生した空間電荷はもはや存在しない。従って、維持パルスの最初は放電遅れを伴った不安定なものとなる。そのため、パネル全体にできるだけ早く空間電荷を供給し放電を安定化させる必要がある。これは維持放電期間初期に強放電を発生させればよい。そこで、本実施例では維持電源の最大電圧V_sだけでパルスを構成し放電を強化させている。また、図6では最初の2発のパルスにおいて第1の電圧値であるV_sだけで矩形形状に形成したパルスを使用しているが、特にパルス数には言及せず任意の回数行ってよい。

【0090】その後、維持パルスを複数の電圧値を有する形状にする、若しくは放電が発生する条件で無効電力回収回路を動作させることにより放電は複数に分散する。尚、放電するセル及びタイミングは実施の形態1で述べたようにいくつか考えることができるが、何れにおいても電流ピークを分散させ、一つ一つのピーク値を小さくさせた放電形態をとっている。

【0091】維持放電期間終了時から次のサブフィールドのリセット期間までに間隔がある場合は、図6に示すように維持放電期間初期同様、最後の複数回のパルスを最大電圧値である第1の電圧値V_sで矩形形状に形成した

方がよい。ピーク電流を小さくした放電はすなわち弱体化した放電であるから誘電体に形成される壁電荷量は少ない。また、リセットパルスまでの時間が長い場合は、維持放電期間で発生した空間電荷が少なくなり次のリセットが安定に行えない。これは維持放電期間の終期の複数のパルスを維持パルスの第1の電圧値である V_s で矩形状に形成すればよく、これにより壁電荷が十分に形成されリセット期間放電を安定に行うことができる。また、維持放電期間の初期のパルス同様、矩形状にするパルスの回数は任意である。

【0092】実施の形態5. 次に、実施の形態5に係るプラズマディスプレイ装置の駆動回路について説明する。実施の形態5は、並列共振型の無効電力回収回路を用いたものであり、壁電荷主体の放電を併用した場合に休止期間を設けて放電を分散する方法について説明する。

【0093】使用されるパネルは実施の形態1と同様のものでよい。また、プラズマディスプレイ装置の外観は図16と同じでよい。図7はこの発明の実施の形態5であるプラズマディスプレイパネルの駆動回路を示す図、図8は各FETスイッチの入力電圧波形のタイミングチャートである。図7において、PDPはコンデンサCPで模擬されている。また、FET51～FET54はメインスイッチでパルスを発生する回路、FET55及びFET56の回収スイッチと共振コイル61、62及びダイオード71、72は無効電力回収回路を示している。無効電力回収回路はCPとパルス発生回路に対し、並列に接続されている。図8中の電位 $V_{51} \sim V_{56}$ はそれぞれFET51～FET56の各ゲート端子に印加される駆動信号電圧を示す。また、同図8中の V_{CP} は回路から出力し、PDPの容量成分CPに印加される電圧波形を示す。

【0094】タイミングAにおいて、FET51がONからOFFになると電源からの電圧供給がとまる。同時に、FET55がONになるためCPにチャージされた電荷はFET55を通り逆極性に反転するよう流れ始める。タイミングBではFET53およびFET54がON状態なので共振電流はメインFET54及びFET53、回収FET55、ダイオード71、共振コイル62のループで還流することになる。還流しているBC間は、FET53、54がONであるためCPの両端が接地され、休止期間が形成される。その後、タイミングCでFET54がOFFとなるため還流していた共振電流は再びCPに供給し始める。タイミングDでCPに最大の逆電圧が印加された後、FET52がONし、電源から電圧が供給される。その後、タイミングEではタイミングAと対称にFET52がOFF、同時にFET56がONすることでCPにチャージされた電荷は再度逆極性に反転するよう流れ始める。タイミングFG間はタイミングBC間同様共振電流が還流し、パルス休止期間が

つくりだされる。以降、同様の動作を繰り返す行う。

【0095】このように還流期間を設け、パルスとパルスの間に休止期間を作ると休止期間中に壁電荷による自己消去放電を起こすことができる。休止期間を設けない場合でも自己消去放電は起こるが、実施の形態1で説明したように、電圧が変化している状態での壁電荷主体の放電は不安定である。本実施の形態によればパルスとパルスの間にCPをGNDにクランプする期間があるため、放電遅れに左右されず、確実な自己消去放電を起こすことができ、放電効率を向上させることができる。

尚、本実施の形態を用いれば壁電荷主体の立ち下がり放電が起き、電圧ドロップが発生してもGND電位から電流が流れ込み、大きな電位変動を防ぐことができる。

【0096】実施の形態6. 以下、本発明の実施の形態6について説明する。本実施の形態では実施の形態5における還流をメインスイッチを使用せず、あらたに還流スイッチ(FET)57、58を追加して設けることで行うものである。図9には実施の形態6の回路構成が、図10には各FETのゲート波形及びパネル両端の電圧波形が示されている。基本的な駆動波形は実施の形態5に等しいが、メインFET53及びメインFET54のONタイミングが重ならないようにしている。FET55がONになることでダイオード71、共振コイル62を通してPDPに充電していたものを任意のタイミング(ここではBC間)でFET57、ダイオード73、共振コイル62のループで還流させるものである。あるいは、FET56がONになることでダイオード72、共振コイル61を通してPDPに充電していたものを、タイミングFG間でFET58、ダイオード74、共振コイル61のループで還流させるものである。タイミングを調整することでタイミングBC間、タイミングFG間の還流電位(還流タイミング)を任意に設定することができる。先の自己消去放電をより強く発生させるためにはGND電位にするだけでなくより積極的に誘発する方向にパルスを印加することが望ましい。ただし、ここでの放電はあくまでも自己消去放電の延長の「壁電荷主体の放電」でなければならない。その電圧はおよそ電源電圧の $1/10$ 程度であり、例えば電源電圧を180Vとした場合、マイナス18Vで還流する設定とすればよい。本実施の形態によれば、「壁電荷主体の放電」をよりよく誘発することができ、放電効率を向上させることができる。また、本実施の形態では、壁電荷主体の放電を誘起させる最適電圧を、別の電源を設けることなく還流タイミングの設定によって得ることができる。

【0097】また、実施の形態1に示したように還流の電圧をさらに引き上げ、放電開始電圧以上と設定し、利用してもよい。この場合は、実施の形態1におけるタイプIの放電を引き起こすことができる。従って、実施の形態1同様に各セルの放電電圧の分布に応じて放電を分散することができ、母電極の抵抗・回路のインピーダンス

スの損失を小さくし、輝度むらをなくすることができる。

【0098】尚、本実施の形態は並列共振型の無効電力回収回路を利用して、維持パルスを第1の電圧値と第2の電圧値を有する形状に形成する場合であり、上述の外部印加電圧主体の放電を分散させるケースIの場合は、既述のように従来の並列共振型の駆動回路をそのまま使用し、電圧設定を回収回路で放電するように設定すればよい。この時の電圧波形及び発光波形は図4に示したものと同一となる。

【0099】実施の形態7、図11はこの発明の実施の形態7の駆動回路を示す図である。実施の形態7では共振コイルに並列に部分共振コンデンサC_{pp}及び部分共振コイルL_pが接続されている。図12は実施の形態7のプラズマディスプレイパネルの電圧波形である。FET56がオンすると、CPの電圧は共振コイル63と部分共振回路A1とに印加される。このとき、部分共振回路の共振周波数は、CPと共振コイル63とから決まる共振周波数より大きく選定すると、CPに流れる電流は、CPと共振コイル63との振動電流に部分共振回路の高周波振動電流が重畳された波形となる。ダイオード73の作用によって、部分共振回路内で時刻t_xに最大値まで反転した部分共振コンデンサC_{pp}の電圧はもはや共振コイル63には流れないから、t_x以降はC_{pp}の電荷は全てCPに返還されることになる。このような回路構成にすることにより、電流を還流させなくともパルスとパルスの間に「壁電荷主体の放電」に必要な休止期間t_kをつくりだすことができる。また、本実施の形態においては、壁電荷主体の放電を誘発するパルス波形を部分共振回路の共振波形によって作り出しているため、実施の形態5、6の様な複雑なON/OFFタイミング制御を必要としない利点がある。また、さらには、実施の形態6と同様に「壁電荷主体の放電」を容易に誘発しうる一段目のパルスを電源を別に設けることなく作りだすことができる。もちろん実施の形態6で説明したように形成するパルス波形の電圧を放電開始電圧以上とし、実施の形態1で説明したケースIの放電を発生させてもよい。

【0100】なお、図11中、A2の領域は部分共振回路A1の変形例、すなわちA1の代わりにA2を用いることを示すものであり、GNDを介してC_{pp}、L_pを接続している。こうすることにより、XおよびY端子を接続するための長い配線が不要となる利点がある。

【0101】実施の形態8、次に、実施の形態8に係るPDPの駆動方法について説明する。本プラズマディスプレイ装置50は、図13に示すような回路構成を用いる。すなわち、実施の形態1における駆動波形を、電源回路41の電源電圧としてV_{h1}、V_{h2}、およびV_sの3つ設けてこれらの電圧を切り替えて電極に印加することで作成し、電力回収回路は放電に利用しない例について説明する。本実施の形態で用いる回収回路は並列共

振型でもよいし、直列共振型でもよい。

【0102】図14はX電極に印加される電圧波形V_{CPX}とY電極に印加される電圧波形V_{CPY}、及び発光波形Lが示されている。実施の形態1では第2の電圧値V_kを回収回路で作成していたが、本実施の形態では第1の電圧値V_sと同様に、電圧V_{h1}、V_{h2}を電源から供給して第2の電圧値（ここでは複数）を作る。本実施の形態では実施の形態1におけるケースIの場合を例に説明する。

【0103】タイミングA～タイミングBにおいて、回収回路からエネルギーをパネルの容量に供給する。タイミングBで、一度回収回路を休止し、電源からV_{h1}の電圧を供給する。例えば、V_{h1}は150Vとする。ここで、放電しやすいセルはタイミングB～タイミングCにかけて一度放電する。次に、タイミングC～タイミングDにかけて再度回収回路からパネルの容量にエネルギーを供給し、タイミングDで回収回路を休止し、V_{h2}の電圧を電源から供給する。例えば、V_{h2}は170Vである。V_{h1}で放電しなかったセルで且つ放電可能なセルは先と同様にV_{h2}印加期間中であるタイミングD～タイミングEにおいて放電する。再度、タイミングE～タイミングFにかけて回収回路からパネルの容量にエネルギーを供給し、タイミングFで第1の電圧値であるV_sの電圧を電源から供給する。V_sは例えば190Vであり、これによりV_{h1}、V_{h2}で放電できなかったすべてのセルが放電する。Y電極もX電極と同様に電圧パルスが印加される。

【0104】これにより、図14に示すように発光波形を3つに分割することができる。これにより、ピーク電流を分散することができ、回路インピーダンスや母電極の抵抗により発生する損失を小さくすることができる。

【0105】また、実施の形態1同様に、放電セルの電圧分布により、V_{h1}～V_sまでセル自身が放電電圧を選ぶことができる。選択の幅は実施の形態1以上であり、(V_{h1}～V_{h1}) (V_{h1}～V_{h2}) (V_{h1}～V_s) (V_{h2}～V_{h2}) (V_{h2}～V_s) (V_s～V_s)の6通りである。プロセス的な要因で放電しにくく形成されてしまったセルは(V_s～V_s)で放電し、放電しやすく形成されたセルは(V_{h1}～V_{h1})で放電することになる。また、放電は確率現象であり、突然放電が弱体化してしまうという場合も想定できる。例えばV_{h2}におよそ駆動電圧の中心を持つセルが不意に放電の弱体化を起こしてしまっても、一時V_sに放電の中心をシフトし、放電を強化した後V_{h2}に再度放電の中心を移すようなことも可能である。

【0106】実施の形態1や2のように回収回路で複数の電圧値を有するパルス波形を形成するのと、ここで述べた実施の形態8のように複数の電圧出力を有する電源からの電圧を切り替えて複数の電圧値を有するパルス波形を形成するものとの違いについて説明する。回収回路

はコイルを含んだインピーダンスの高い構成であるから放電電流による電圧ドロップが大きくなりやすい。従って、回収回路による放電セル数が増加しすぎると電流を流しきる能力がなくなりマージン低下につながる可能性もある。しかしながら、実施の形態8では、電源数が増えるために回路コストが増加するという欠点はあるものの、放電電流を電源から供給することができるためマージンが低下する可能性はない。

【0107】尚、本実施の形態では例えば実施の形態1におけるケースIの放電形態について説明したが、ケースIIのように壁電荷主体の放電を誘発しうるパルス波形を電源だけで形成してもよい。

【0108】

【発明の効果】請求項1に係る発明によれば、半周期の間に第1の放電を行わせる第1の電圧値と、第2の放電を行わせる第2の電圧値とを有する維持パルスによって交流型プラズマディスプレイパネルを駆動するため、ピーク電流を分散することができ母電極の抵抗損失が減り、回路のインピーダンスによる損失が低減し、放電の効率もまた向上する。

【0109】請求項2に係る発明によれば、無効電力を回収するための無効電力回収回路により発生する電圧と電源からの電圧とを切り替えて、上記維持パルスを形成するため、少ない外部印加電圧の電源で放電の効率の高いものが得られる。

【0110】請求項3に係る発明によれば、請求項2に係る発明において使用する無効電力回収回路を並列共振型とすることで少ない部品点数で放電の効率の高いものが得られる。

【0111】請求項4に係る発明によれば、請求項2に係る発明において使用する無効電力回収回路を直列共振型とすることで維持パルスの電圧値を自由に設定でき、確実に放電を分散させることができる。

【0112】請求項5に係る発明によれば、複数の異なる電圧出力を有する電源を備え、これら複数の異なる電圧を切り替えて維持パルス形成するため、放電のマージンを低下させることなく、確実に放電を分散させることができる。

【0113】請求項6に係る発明によれば、上記第1の放電および上記第2の放電は外部印加電圧主体の放電であり、複数のセルの放電タイミングが分散したものとなるように、上記第1の電圧値と上記第2の電圧値を設定するため、セル固有の放電特性のばらつきを押さえ、輝度むらを小さくすることができる。

【0114】請求項7に係る発明によれば、上記第2の電圧値は最小維持電圧以上とし、上記第1の電圧値は放電開始電圧以下と限定することでより確実に放電を分散できる。

【0115】請求項8に係る発明によれば、上記第1の放電および上記第2の放電は外部印加電圧主体の放電と

壁電荷主体の放電を併用したものであり、上記維持パルスの半周期の間に同一のセルが複数回の放電に分散したものとなるように、上記第1の電圧値および上記第2の電圧値を設定するので、1周期あたりの放電回数を増やし、1回あたりの放電の電流密度を下げることで、放電の効率をさらに向上できる。

【0116】請求項9に係る発明によれば、上記第2の電圧値は上記第1の電圧値の略1/10以下と限定することで確実に放電を分散できる。

【0117】請求項10に係る発明によれば、維持パルスを、無効電力を回収するための無効電力回収回路により発生する電圧と電源からの電圧とを切り替えて形成し、無効電力回収回路により発生する電圧が連続的に上昇する間と、電源からの電圧供給時とで放電を発生させ、維持パルスの半周期の間に放電を複数回に分散させるので、簡単な制御により放電効率を向上させることができる。

【0118】請求項11に係る発明によれば、維持放電期間の初期は、上記維持パルスは上記第1の電圧値だけを有するものとするので、アドレス期間から維持放電期間に安定に放電を移行することができる。

【0119】請求項12に係る発明によれば、維持放電期間の終期は、上記維持パルスは上記第1の電圧値だけを有するものとするにより維持放電期間からリセット期間に安定に放電を移行することができる。

【0120】請求項13に係る発明によれば、請求項1ないし請求項12の駆動方法に従って、第1電極と第2電極間に電圧を印加する駆動回路を備えるようにしたので、請求項1乃至12のそれぞれの効果を有するプラズマディスプレイ装置を得ることができる。

【0121】請求項14記載のプラズマディスプレイパネルの駆動回路によれば、並列共振型の回収回路装置を使用した場合においても、外部印加電圧を印加するパルスとパルスの間に壁電荷主体の放電を誘発する電位差略ゼロの休止期間を設けたので、壁電荷主体の放電を確実に誘発することができ、放電効率を向上させることができる。

【0122】請求項15記載のプラズマディスプレイパネルの駆動回路によれば、請求項14記載の休止期間を、上記電極間容量の放電時に発生する共振電流を上記パルス発生回路のメインスイッチを介して還流させたのち電極間容量に再充電することで得ることにしたので、壁電荷主体の放電を確実に誘発できるとともに電力の利用効率を高めることができる。

【0123】請求項16記載のプラズマディスプレイパネルの駆動回路によれば、請求項14記載の休止期間を、上記共振コイルに並列に還流スイッチを設け、上記電極間容量の放電時に発生する共振電流を上記還流スイッチを介して還流させたのち電極間容量に再充電することで得ることにしたので、壁電荷主体の放電を誘発する

最適なパルス電圧を設定することができる。

【0124】請求項17記載のプラズマディスプレイパネルの駆動回路によれば、上記共振コイルに並列に接続した部分共振コンデンサ及び部分共振コイルの直列接続からなる部分共振回路の共振波形で構成したので、壁電荷主体の放電を誘発する休止期間を複雑なタイミング制御を用いることなく実現できる。

【図面の簡単な説明】

【図1】 実施の形態1に係るプラズマディスプレイ装置の無効電力回収回路の構成を説明するための図である。

【図2】 実施の形態1に係るプラズマディスプレイ装置の駆動方法を説明するための、駆動電圧波形及び発光波形を示すタイミングチャートである。

【図3】 特願平9-271458に示された補助パルスと発光効率の関係である。

【図4】 実施の形態2に係るプラズマディスプレイ装置の駆動方法を説明するための駆動電圧波形と発光波形を説明するための図である。

【図5】 実施の形態3に係るプラズマディスプレイ装置の駆動方法を説明するための、駆動電圧波形及び発光波形を示すタイミングチャートである。

【図6】 実施の形態4に係るプラズマディスプレイ装置の駆動方法を説明するための、1サブフィールド中の電圧波形及び発光波形を示すタイミングチャートである。

【図7】 実施の形態5に係るプラズマディスプレイ装置の無効電力回収回路の構成を説明するための図である。

【図8】 実施の形態5に係るプラズマディスプレイ装置の駆動電圧波形を示すタイミングチャートである。

【図9】 実施の形態6に係るプラズマディスプレイ装置の無効電力回収回路の構成を説明するための図である。

【図10】 実施の形態6に係るプラズマディスプレイ装置の駆動電圧波形を示すタイミングチャートである。

【図11】 実施の形態7に係るプラズマディスプレイ

装置の無効電力回収回路の構成を説明するための図である。

【図12】 実施の形態7に係るプラズマディスプレイ装置の駆動方法を説明するための、駆動電圧波形及び電流波形を示す図である。

【図13】 実施の形態8に係るプラズマディスプレイパネル装置の全体構成を示すブロック図である。

【図14】 実施の形態8に係るプラズマディスプレイ装置の駆動方法を説明するための、駆動電圧波形及び発光波形を示す図である。

【図15】 従来の交流型プラズマディスプレイパネルの構造を示す斜視図である。

【図16】 従来の交流型プラズマディスプレイパネル装置の全体構成を示すブロック図である。

【図17】 従来の交流型プラズマディスプレイパネルの1サブフィールド中の駆動電圧波形を示すタイミングチャートである。

【図18】 従来のプラズマディスプレイ装置に係る並列共振型の無効電力回収回路の構成を説明するための図である。

【図19】 従来のプラズマディスプレイ装置に係る直列共振型の無効電力回収回路の構成を説明するための図である。

【符号の説明】

10、101 プラズマディスプレイパネル (PDP)

2、202、302 無効電力回収回路

41 電源回路

CP プラズマディスプレイパネルの電極間容量

51、52、53、54 メインスイッチ

55、56 回収スイッチ

57、58 選流スイッチ

61、62、63 共振コイル

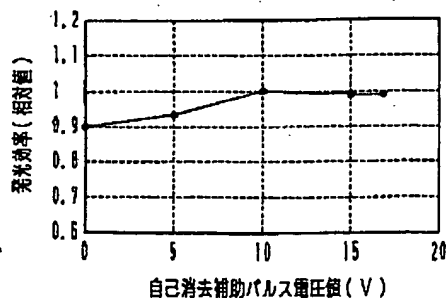
Cp 部分共振コンデンサ

Lp 部分共振コイル

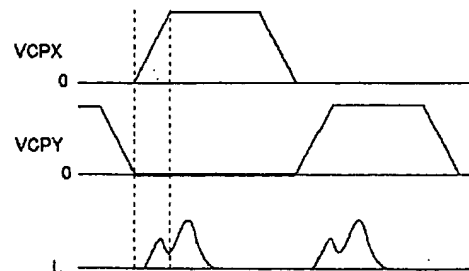
Vk、Vh1、Vh2 第2の電圧値

Vs 第1の電圧値

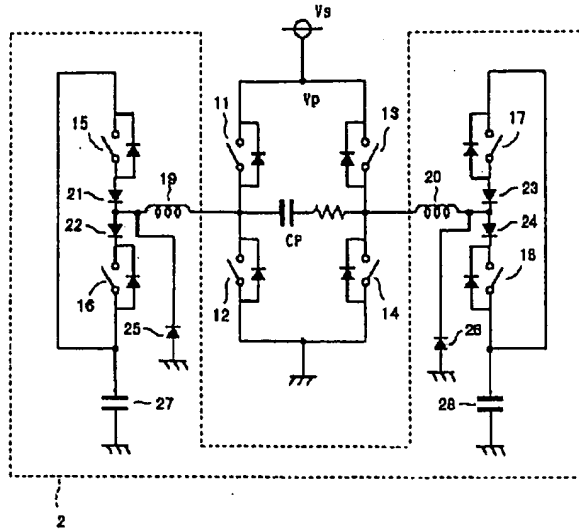
【図3】



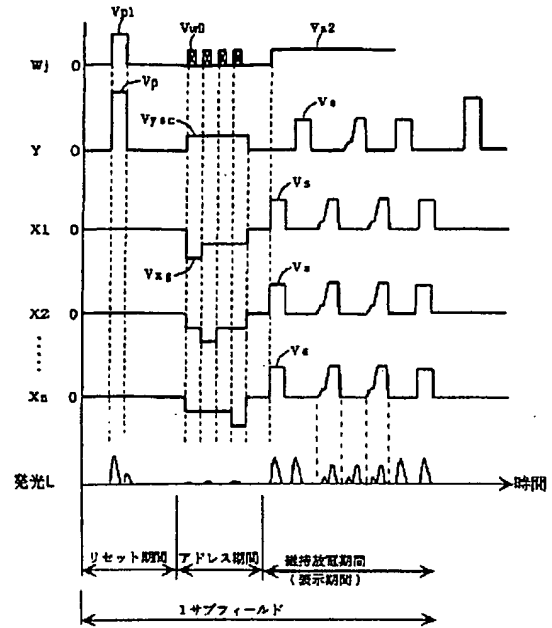
【図4】



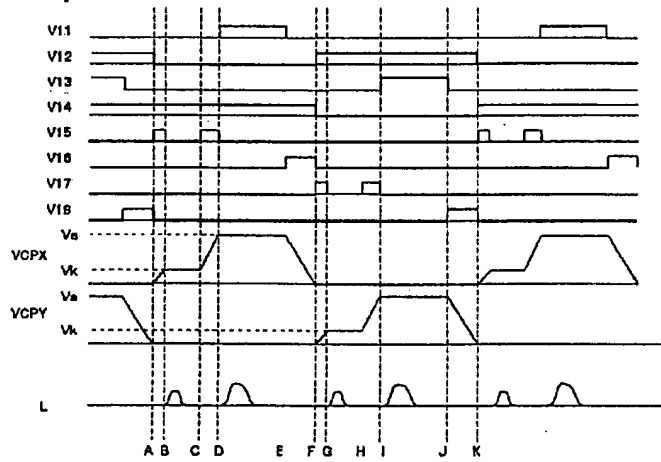
【図1】



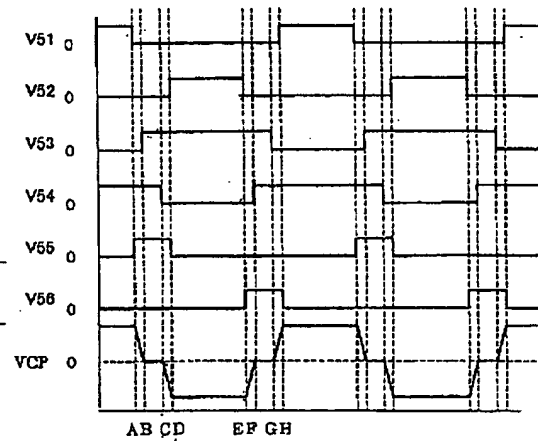
【図6】



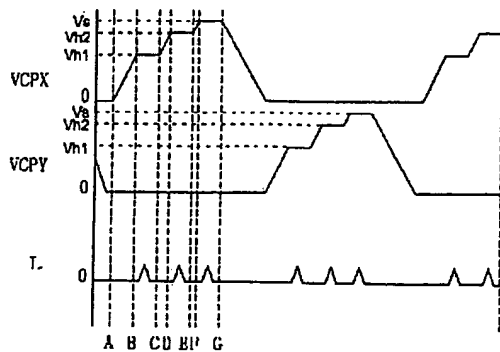
【図2】



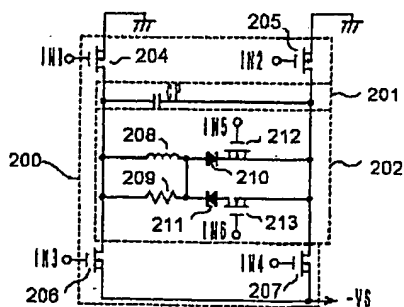
【図8】



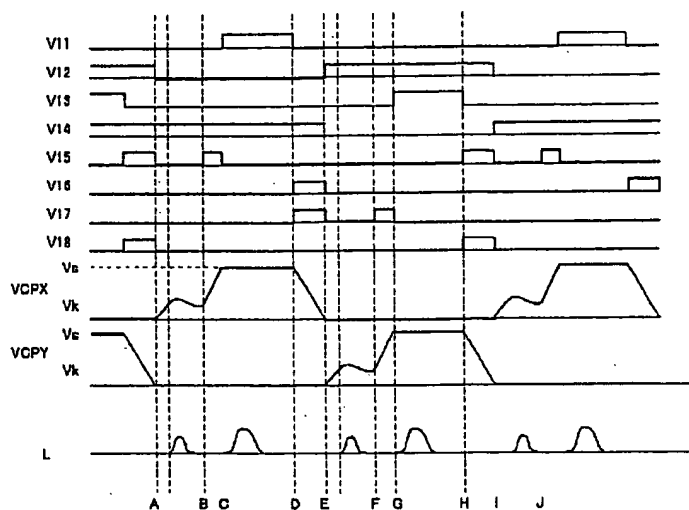
【図14】



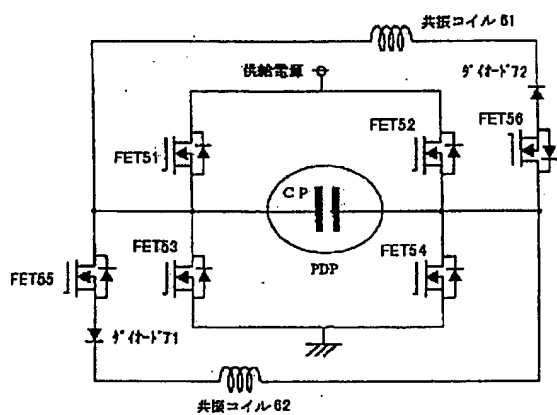
【図18】



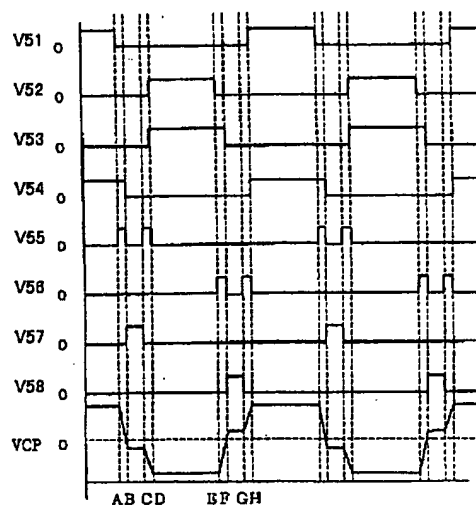
【図5】



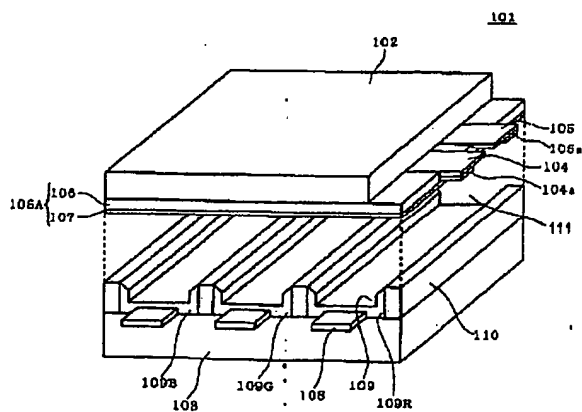
【図7】



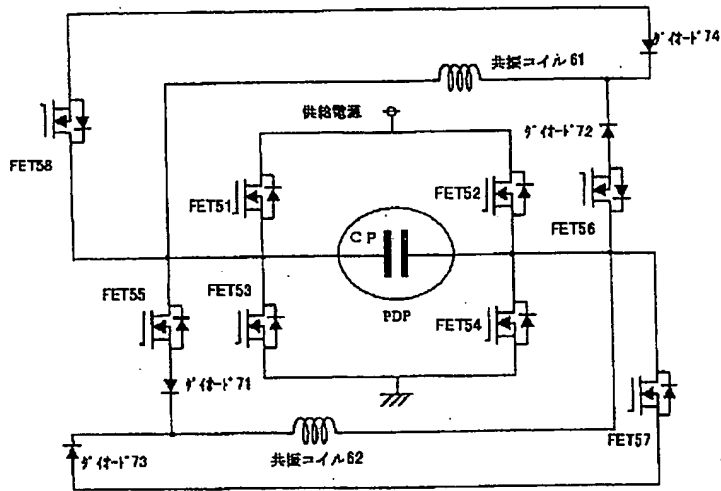
【図10】



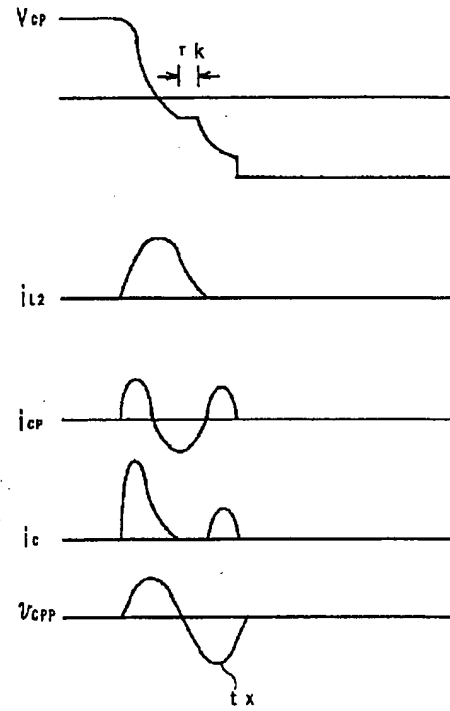
【図15】



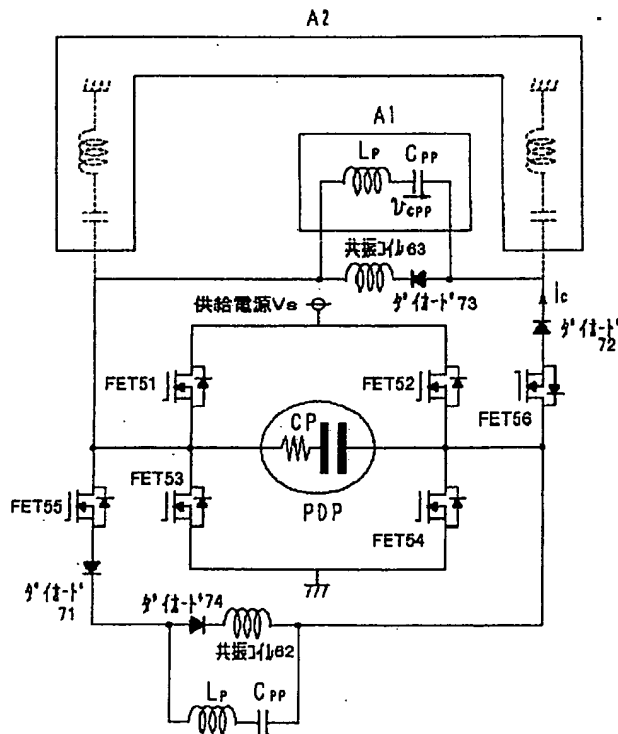
【図 9】



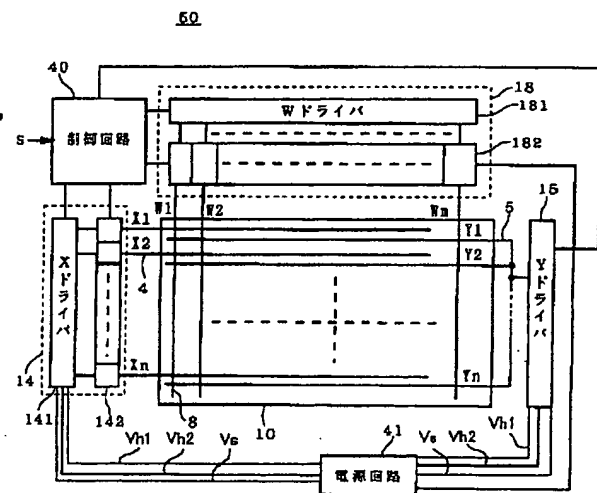
【図 12】



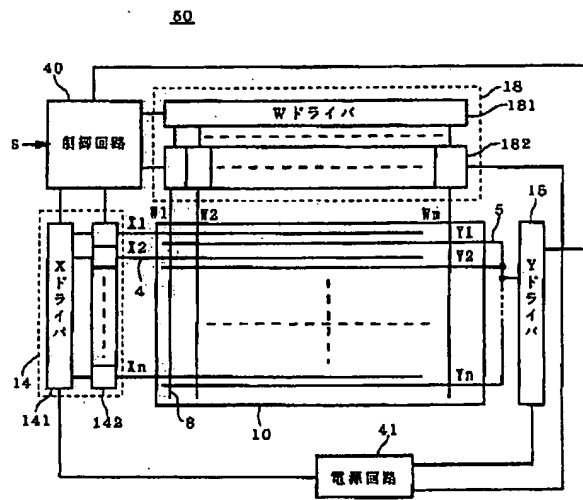
【図 11】



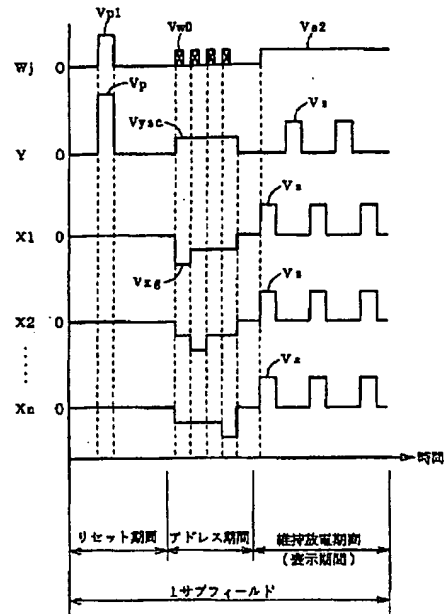
【図 13】



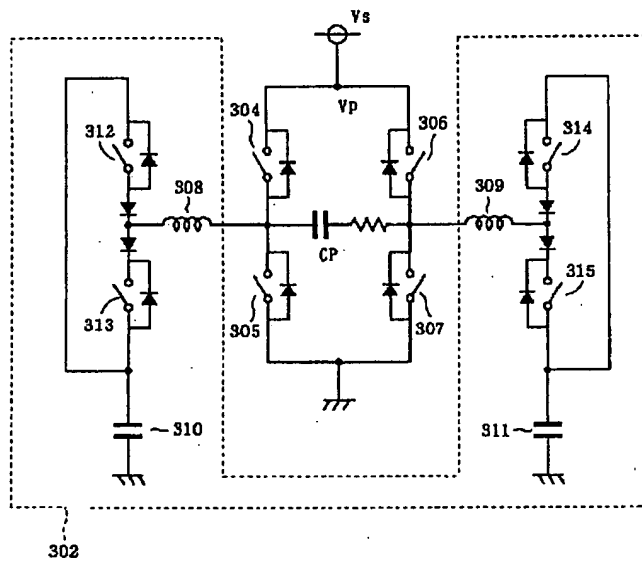
【図16】



【図17】



【図19】



Partial English Translation of
Japanese Patent Laid-Open
No. 11-282416

5

...Omitted...

[Problems to be Solved by the Invention]

(Luminance Distribution)

In the discharge mainly caused with externally applied
10 voltage, discharge is caused by application of a determined
potential, so that the discharge intensity is restricted by
the discharge voltage specific to cells. As a result, cells
with low discharge start voltage have high luminance, while
cells with high discharge start voltage have low luminance,
15 in other words there are variations in display.

(Macro-wise Peak Current)

A PDP is a set of multiple cells. When discharge is
caused at a time during a sustaining discharge period, even
with small discharge current for each cell, the current
20 instantaneously passed across the bus electrode and circuit
common to the cells is extremely great. This causes a
resistance drop at the base electrode or an increased loss by
the circuit impedance, and the voltage drop causes a reduction
in the margin.

25 If only the discharge caused mainly with externally

applied voltage is used for driving, voltage corresponding to cells with high discharge start voltage (cells less easily discharged) is applied for control, and therefore more than necessary current is passed across cells with low discharge start voltage. Therefore, the larger the discharge start voltage distribution among the cells in the panel is, the greater will be the resistance drop at the base electrode and the loss by the circuit impedance.

(Micro-wise Peak Current)

10 In view of discharge current passed across one cell, the discharge current is desirably small. If the peak current increases, ultraviolet rays used to excite the phosphor are saturated to the current, and therefore the emission efficiency is lowered. Here again, if the discharge start voltage
15 distribution among the cells in the panel is great, voltage should be set on the basis of cells with high discharge start voltage and cells with low discharge start voltage suffer from a great loss in the discharge itself in addition to the loss at the base electrode and the circuit impedance described
20 above.

(Voltage Margin)

Therefore, in view of the foregoing, the optimum discharge should allow minimum necessary discharge current to be set uniformly for each cell. This however suggests weakened
25 discharge, which could cause a reduction in the margin.

Particularly at the beginning of a sustaining discharge period, there are only a few space charges, while the discharge start voltage is high, and therefore discharge can hardly be maintained. Since the display history is reset at the end of the sustaining discharge period, such weakened discharge is not enough to secure stable margin.

(Circuit Configuration)

If a parallel resonance type recovery circuit is used to induce self erasure discharge, a conventional circuit configuration per se is not suitable. The parallel resonance type driving circuit does not provide an inactive period to maintain voltage suitable for the self erasure discharge mainly with wall charges between pulses, and therefore the self erasure discharge is less easily caused. If auxiliary voltage pulses are applied to induce discharge mainly with wall charges, only the use of the above-described, parallel resonance type driving circuit cannot achieve this, and another power supply and another switch must be used for producing the inducing pulses.

The present invention is based on the above, and it is a first object of the present invention to provide a driving method allowing wider selective range for discharge and free from luminance variations.

A second object of the present invention is to provide a driving method according to which the peak of current is

5 A third object of the present invention is to provide
a driving method free from a loss in the voltage margin if
sustaining discharge is weakened to reduce the luminance
distribution, and the peak current is distributed.

A forth object of the present invention is to provide,
10 in a parallel resonance type reactive power recovery circuit,
an AC-PDP driving circuit which allows an inactive period to
be easily obtained between pulses so that self erasure
discharge can more easily be caused.

A fifth object of the present invention is to provide,
15 in a parallel resonance type reactive power recovery circuit,
an AC-PDP driving circuit capable of forming a voltage pulse
to be applied as auxiliary voltage in order to make better use
of the self erasure discharge.

```
20                                     ...Omitted...
```

[Embodiments of the Invention]

(First Embodiment)

Figs. 1 and 2 show a first embodiment of the present
25 invention. Before the embodiment is described in conjunction

with these figures, the difference between driving by "discharge mainly with externally applied voltage" and driving also using "discharge mainly with wall charges" described in Japanese Patent Application No. 9-271458, prior application by the inventors will be described. A feature of the "discharge mainly with wall charges" resides in alleviation of voltage distribution in a panel, and a resulting reduction in luminance unevenness in the plane (display unevenness). This is because if there is a distribution in discharge voltage among cells in the panel, for example, a number of wall charges corresponding to the discharge characteristic of each cell is formed before ending the discharge, and therefore subsequent discharge mainly with externally applied voltage allows the cells to have equal light emitting intensity. More specifically, if sustaining discharge is executed only by the "discharge mainly with externally applied voltage," the applied potential is fixed, so that the discharge intensity differs by the number of generated wall charges between cells. Meanwhile if the "discharge mainly with wall charges" is applied as well, automatic adjustment is achieved so that for cells whose discharge voltage is high (less easily discharged), discharge mainly with wall charges is small, and for cells whose discharge voltage is low (more easily discharged), discharge mainly with wall charges is large.

This would be based on that the "discharge mainly with

externally applied voltage" is caused by predetermined voltage applied twice per cycle. Meanwhile, in the driving also using the "discharge mainly with wall charges," discharge is caused four times per cycle, for twice of which the discharge intensity can be selected arbitrarily for a cell itself depending upon the characteristic of the cell, in other words more choices are afforded in discharge.

Furthermore, when the discharge mainly with wall charges is also used, the light emission efficiency can be improved.

The AC-PDP has lowered emission efficiency when the current density increases because it is typically driven using a glow discharge region. This is described in detail for example in Mikoshiba, PLASMA DISPLAY SAISHINGIJUTSU (plasma display up-to-date technology), ED Research, 1996. When discharge is maintained only by discharge mainly with externally applied voltage, the voltage must be lowered to a level near the margin limit for increasing the efficiency. Meanwhile, if discharge mainly with wall charges is used as well for sustaining discharge, the wall discharges are reduced by the discharge mainly with wall charges, so that the driving takes advantage of space charges. The voltage for discharge can be as low as possible, while the space charges are used to secure margin, so that the current density can be lowered, which provides high efficiency.

The method of obtaining high efficiency by using the

"discharge mainly with wall charges" as well is disclosed by Japanese Patent Application No. 9-271458, prior application by the inventors, and a more specific driving method and device therefor will be provided according to the present invention.

5 The first embodiment of the present invention will be now described in conjunction with the accompanying drawings. Figs. 1 and 2 show a reactive power recovery circuit and a specific driving method according to the first embodiment. In Fig. 1, since the discharge cells in the PDP are capacitive
10 loads, arbitrary adjacent discharge cells are expressed in the form of capacitance components CP related to the discharge cells in the schematic representation. According to the embodiment, a series resonance type reactive power recovery circuit is used. As shown in Fig. 1, the capacitance component
15 CP, i.e., one end of the X electrode of the PDP has its drain terminal connected to the source terminal of an n-type MOS FET 11 (by symbols representing a switch and a parasitic diode) connected to a supply Vs (Vs: sustain voltage). The source terminal is connected to the drain terminal of an n-type MOS
20 FET 12, the source terminal of which is grounded. Note that both MOS FETs 11 and 12 together with the parasitic diodes are hereinafter referred to as "FETs" and this applies to the other MOS FETs in the following description.

 Such FETs 11 and 12 form a part of an X-electrode driver
25 circuit 141 (see Fig. 16) (constituting a main line across which

display discharge current is passed during sustaining discharge), and operate as clamp switch elements to hold (clamp) the potential of the X-electrode at the level of power supply potential V_s or the ground potential in response to a driving signal (gate voltage) applied to the gate terminals of the FETs 11 and 12. Note that these clamp switch elements are referred to as "clamp switch elements 11 and 12" using the reference numerals of the FETs included therein. A driving IC 142 is in a conductive state during the sustaining discharge period, and therefore is not described.

Meanwhile, one end of a Y electrode is connected to clamp switch elements 13 and 14 including FETs 13 and 14 provided in a Y-electrode driver circuit 15 (see Fig. 16).

The circuit 2 in the part enclosed by the broken line in Fig. 1 is the reactive power recovery circuit (which will be hereinafter also referred to as "recovery circuit 2"). The recovery circuit 2 may have the same configuration as that of the conventional series reactive power recovery circuit (see Fig. 19). Note however that diodes 25 and 26 are connected in parallel to recovery capacitors 27 and 28, such that the recovery coils 19 and 20 serve as a cathode, and a GND serves as an anode.

A method of driving the PDP 10 will be now described according to the timing chart in Fig. 2 showing the voltage waveforms of pulses during a sustaining discharge period (a

subfield) together with Fig. 1. Note that the potentials V11 to V18 in Fig. 2 are driving signal voltages applied to the gate terminals of the FETs 11 to 18, respectively. Reference characters VCPX and VCPY in Fig. 2 represent voltage waveforms output from the circuit and applied to the capacitance component CP of the PDP, i.e., the X-electrode and Y-electrode, respectively. L represents a light emission waveform.

Note that the potentials at the X-electrode and the Y-electrode during the sustaining discharge period are particularly relevant according to the present invention, and therefore the potential of the W-electrode will not be mentioned. A DC pulse may be applied at the intermediate level to avoid discharge with the X-electrode and the Y-electrode. A set of VCPX and VCPY as one cycle is repeatedly applied for an arbitrary number of times to obtain luminance. (Fig. 2 shows pulses for one and half cycles in a certain timing.)

In the timing A, the FET 12 is turned off, and then the FET 15 is turned on. Thus, energy stored in the recovery capacitor starts to be released toward the panel CP through the FET 15 and the resonance coil 19. Accordingly, the potential of the VCPX starts to rise. During this period, the FET 15 is temporarily turned off in the timing B. At the time, one end of the diode 25 is connected to the coil 19 and the other end is grounded to GND. Therefore, if the FET 15 is in an open state, the loop (circuit) from the GND to the diode

25, the coil 19, the panel CP, the FET 14 and back to the GND is formed, so that the voltage V_k (the second voltage value) for the panel CP can stably be secured.

In the timing C, the FET 15 is once again turned on, and
5 the remaining energy of the recovery capacitor is supplied to the panel CP. In the timing D after sufficient energy is released, the FET 11 turns on, which allows the voltage at V_s , i.e., the first voltage value to be supplied from the power supply and clamped. Thus, the sustain pulse is shaped into
10 a waveform having multiple voltage values. Note that in Fig. 2, the FETs 11 and 15 are shown in timings not overlapping one another, while they may be in overlapping timings. Conversely, the waveform can be more stable when they overlap for about several hundred ns.

15 In the timing E, the FET 11 is turned off and the FET 16 is turned on, so that energy stored in the panel capacitance CP is moved to the recovery capacitor 27 through the coil 19, the diode 22, and the FET 16. In the timing F in which the current has been passed sufficiently, the FET 12 is turned on
20 so that VCPX is clamped to the GND potential. The FETs 16 and 12 may be turned on in overlapped timings similarly to the above case.

Thereafter, in the timing F, as the VCPX attains GND, the FET 17 is turned on, and VCPY has an increased potential.
25 In the timing G, the FET 17 is turned off and again turned on

in the timing H, so that there arises a step in VCPY at the potential V_k . After the energy in the capacitor 28 is fully moved to the panel CP in timing I, the FET 13 is turned on and the VCPY is clamped to V_s . In the timing J, the FET 13 is turned
 5 off, while the FET 18 is turned on, so that the energy stored in the panel CP is moved to the recovery capacitor 28 through the coil 20, the diode 24, and the FET 18. In the timing K in which resonance current has been fully passed, the FET 14 is turned on, and the potential of the VCPY is clamped to GND.
 10 The timing K is identical to the timing A, and the above series of operations are repeated for a specified number of times.

During one cycle described above, discharge is caused four times altogether between the timings B and C, D and E, G and H, and I and J. This could be interpreted into two
 15 depending upon the voltage level of a stepped pulse waveform, more specifically the levels of the first voltage value V_s and the second voltage value V_k .

(Case I: $V_k \geq$ minimum sustain voltage)

Now assume that the second voltage value V_k is
 20 sufficiently high, and for example $V_k \geq$ minimum sustain voltage is established. The panel CP is a set of multiple cells, and therefore discharge voltage varies among the cells. Cells with low discharge voltage (more easily lighted) may be discharged at V_k , while cells with high discharge voltage (less
 25 easily lighted) may be discharged at V_s . When one-point

light-on start voltage is V_{fl} , all-point light-on start voltage is V_{fn} , one-point switch-off voltage is V_{sml} and all-point switch off voltage is V_{smn} , the margin for cells with low discharge voltage would be in the range from V_{smn} to V_{fl} , while

5 the margin for cells with high discharge voltage would be in the range from V_{sml} to V_{fn} . The margin for the panel is of course in the range from V_{sml} to V_{fl} . While the voltage varies depending upon the panel, it is typically as follow: $V_{fl}=210V$, $V_{fn}=230V$, $V_{sml}=155V$, and $V_{smn}=135V$. For the setting voltage

10 V_s , i.e., the first voltage of about 160V, the cells with high discharge voltage emit light at a low luminance of a level 5V higher than the lower limit of the margin, while the cells with low discharge voltage emit light at a high luminance of a level 25V higher than the margin. Therefore, if the second voltage

15 value V_k is set to 140V, the cells with high discharge voltage cannot be discharged at V_k but discharged at V_s , while the cells with low discharge voltage are discharged at V_k . In this case, both kinds of cells operate at a level 5V higher than the margin, so that equal luminance is provided.

20 Note that the cells with low discharge voltage do not necessarily light on at V_k , and the cells with high discharge voltage do not necessarily light on at V_s . Depending upon the conditions of the cells, the lighting on at V_s and V_k may alternately be repeated. Discharge voltage is obtained only

25 at V_s according to the conventional method, while according

to the invention, the intermediate voltage V_k is provided, so that discharge can be performed based on any of the combinations (V_s-V_s), (V_s-V_k), and (V_k-V_k). More specifically, depending upon the discharge characteristic specific to a cell, the cell
 5 can be discharged with discharge voltage arbitrarily selected. Thus, cells discharged at V_s or V_k are present, and therefore the light emission waveform L in Fig. 2 is shaped into a waveform to emit light twice at a half cycle of the sustain pulse. More specifically, the first discharge is caused at the first
 10 voltage value V_s and the second discharge is caused at the second voltage value V_k . The discharge current is thus distributed.

As a result, the luminance unevenness, the loss by the base electrode/circuit impedance, and the reduction in the discharge efficiency can be alleviated.

15 A power supply potential other than V_s may be provided, or the recovery current divided into two steps may be divided into three or more steps for supply. More specifically, the sustain pulse is shaped into a waveform having not only one voltage value but also multiple voltage values, and then the
 20 discharge is caused at the voltage values, so that the discharge can be performed with significantly increased selectivity and an increased effect results.

(Case II: $V_k \leq V_s/10$)

Let us now assume that the second voltage is sufficiently
 25 low and $V_k \leq V_s/10$ is established. In a region where the

setting voltage V_s , i.e., the first voltage is relatively high or space charges are made good use of to lower discharge start voltage, self erasure discharge is caused. V_k is applied in the direction to intensify the self erasure discharge, the intensity of the self erasure discharge (discharge mainly with wall charges) increases. If the supplemental V_k is too high, wall charges generated with the preceding V_s are excessively reduced (inversion could be caused in some cases), and discharge cannot be sustained if V_s is applied next. Fig. 3 shows the self erasure aiding pulse voltage value corresponding to V_k and the light emission efficiency with the voltage disclosed by Japanese Patent Application No. 9-271458, prior application by the inventors, in which the maximum value of V_k is 17V, and a margin could not be secured at a level higher than the level. The maximum value of V_k depends on the panel structure, and is about 1/10 times or less the setting voltage V_s (in the margin range from 155V to 210V in the Case I).

The difference between the Cases I and II will be now described. In the Case I, discharge is caused twice per one cycle in each cell. More specifically, a cell discharged once with V_k cannot light on with V_s thereafter. This is because the discharge with V_k causes wall charges to be stored in the reverse direction, so that voltage at a level to cancel them should be applied in order to once again light on the cell. The voltage is for example about 2Vs, which could never be

generated according to the embodiment where the difference between V_k and V_s is as small as $V_s/4$ or less. Meanwhile, in the Case II, cells with low discharge voltage are discharged with V_s , and again discharged with V_k in the next cycle as a lot of wall charges are formed, and therefore the same cell should be discharged four times per one cycle. Also in this case, the general light emission waveform is as denoted by L in Fig. 2 and the discharge current is distributed.

In order to further clarify the difference in the emission state described above, the V_k potential may be changed while V_s is unchanged. If the V_k potential is gradually raised to the V_s potential, the discharge is not interrupted, and light emission with V_k and light emission with V_s are combined analogue-wise, it would be the Case I. Conversely, if there is a voltage level at which the light emission with V_s is gradually weakened as V_k is raised, and discharge is gradually delayed and interrupted, it could be the Case II.

Also in the Case II, light emission with V_k is weak at cells with high discharge voltage (no discharge in some cases), light emission with V_k is more intense at cells with low discharge voltage. The discharge can be provided with selectivity though not as selective as the Case I. The discharge number is increased in the same cell, and the peak current per one discharge is lowered, so that the light emission efficiency in discharge is equal to or higher than that of the

Case I.

(Second Embodiment)

Fig. 4 shows a method of driving according to a second embodiment of the invention. According to the first embodiment, 5 the second voltage value is provided by interrupting the current supplied to the panel from the reactive power recovery circuit in the Cases I and II. However, light emission can be distributed by voltage setting without actively providing a step as the second voltage value as practiced by the 10 conventional method. Fig. 4 shows the voltage waveforms VCPX and VCPY and a light emission waveform in such a case. Discharge is caused once during the energy supply from the recovery circuit to the panel capacitance, in other words while the voltage rises, and caused again with voltage applied from 15 the power supply after the energy supply from the recovery circuit is interrupted. It is an object of the present invention to distribute the discharge current and lower the peak current, and therefore some effect can be achieved if the discharge current can be distributed with the conventional type 20 reactive power recovery circuit rather than shaping the sustain pulse into a form having a step at the second voltage value.

The Case II particularly depends on the changing speed of the voltage and if the voltage changes at a speed lower as compared to the discharge delay time, the discharge mainly with 25 wall charges is reduced to the minimum necessary level.

Conversely, if the voltage changes equal to or faster as compared to the discharge delay time, $V_k \geq V_s/10$ could be established, which results in a reduction in the margin. As a result, the potential is desirably prevented from changing during the discharge mainly with wall charges.

The difference from the conventional method of controlling discharge only with setting voltage at a prescribed level can be clear when the light emission waveform is measured. If the light emission waveform has multiple peaks, operation should be achieved at operation points according to the present invention.

(Third Embodiment)

Fig. 5 is a timing chart for use in illustration of a driving method according to a third embodiment. According to the first embodiment, in the Case II, a pulse rising/falling at the X-electrode and a pulse falling/rising at the Y-electrode are desirably consecutive. If the GND potential has a step, discharge mainly with wall charges is caused at the step, and sufficient effect does not result. The timing chart showing the countermeasure is given in Fig. 5. Note that the circuit configuration or the like is similar to that of the first embodiment as shown in Fig. 1.

In Fig. 5, the concept of producing the second voltage value V_k is different from the first embodiment. More specifically, in the timing D, when the FET 11 is turned off

and the FET 16 is turned on, the FET 17 is turned on at the same time or slightly delayed. This causes the energy of the capacitor 28 to start to return by the loop (circuit) connecting the FET 17, the coil 20 and the FET 14, and energy corresponding to reactance is stored in the coil 20. In the timing E, the FET 12 is turned on, and at the same time the FET 17 is turned off, so that the energy stored in the coil 20 is passed across the panel. Since the energy is stored in the coil 20, the falling at the X-electrode and the rising at the Y-electrode are consecutive. Thereafter, the FET 17 is again turned on in the timing F based on the determination of the end of the discharge mainly with wall charges, and the energy remaining in the capacitor 28 is supplied to the panel.

Similarly in the timing H, the FET 13 is turned off, the FET 18 is turned on, and at the same time or slightly delayed the FET 15 is turned on, so that energy is stored in the coil 19. In the timing I, the FET 14 is turned on and at the same time the FET 15 is turned off, while the energy in the coil 19 is supplied to the panel. Then, in the timing J after the end of the discharge mainly with wall charges, the remaining energy stored in the capacitor 27 is supplied to the panel.

As compared to the first embodiment, according to the third embodiment, the on timings of the FETs 17 and 15 are simply shifted, while interrupting current passed across the coils 20 and 19 and moving the energy to the reactor for supply to

the panel are based on different design and concept. According to the first embodiment, the voltage at V_k can be relatively easily produced by controlling the on time of the FETs 17 and 15, while according to the third embodiment, the voltage depends on the coils 20 and 19 and cannot be controlled based on the time of the FETs 17 and 15. According to the third embodiment, however, current more sufficient than that according to the first embodiment can be passed for larger discharge current.

Note that during the period in which the energy from the recovery capacitors 27 and 28 is supplied to the coils 19 and 20 and the current is returned, there is no energy loss in an ideal circuit, but in practice energy is consumed by resistance. Therefore, the recycle period is desirably short.

(Forth Embodiment)

Fig. 6 shows voltage waveforms and a light emission waveform showing the driving waveform of the PDP device 50 according to a fourth embodiment of the present invention. The plasma display device may have the structure of the plasma display device 50 as shown in Fig. 16, and is characterized by the driving method. Therefore, in the following description, the elements shown in Fig. 16 are denoted by the same reference characters.

Fig. 6 shows the potentials of a row electrode

$X_i (i=1, 2, \dots, n)$, a row electrode Y and a column electrode W,

and the light emission waveform as well as driving waveforms within one subfield. Note that by the driving method according to the third embodiment, as shown in Fig. 6, positive pulses are mainly used to drive the PDP device 50, while the polarity of the pulses shown in Fig. 6 may be by all means all inverted for driving.

(Resetting Period)

During a "resetting period," an entire writing pulse is applied between all the column electrodes W_j and row electrodes Y , the display history at the end of the subfield immediately before is erased, and priming particles are supplied.

(Address Period)

During an "address period," address discharge is caused selectively at a cell to be displayed. Similarly to the prior art as shown in Fig. 17, a scan pulse V_{xg} is sequentially applied to the row electrode X_i , and the "address discharge" i.e., writing discharge is caused between the column electrode W_j and the row electrode X_i at a cell to be lighted on. At the time, a sub-scanning pulse V_{ysc} is applied to the row electrode Y . Thus, the potential difference of $V_{xg} + V_{ysc}$ is applied to the row electrodes X_i and Y . The potential difference does not cause discharge by itself, but with the described address discharge as a trigger, it immediately causes discharge (transfer) between the row electrodes X_i and Y . Thus, a number of positive or negative wall charges allowing sustain discharge

to be executed only with a sustain pulse subsequently applied are stored.

(Sustaining Discharge Period)

During a "sustaining discharge period," a cell written
5 with application of a sustain pulse between the row electrodes
Xi and Y is subjected to sustaining discharge within the
sub-field. Here, in the initial one cycle of the sustaining
discharge period, the reactive power recovery circuit is not
operated. More specifically, in the example as shown in Fig.
10 1, the FETs 15 to 18 are not operated. From the next cycle
on, the reactive power recovery circuit is operated, and the
light emission peak is divided into two so that the peak value
is reduced. During the final one cycle in the sustaining
discharge period, the reactive power recovery circuit is not
15 operated. In the other period in the sustaining discharge
period, the reactive power recovery circuit is operated, and
the driving waveform positively used for discharge may be
shaped into a form having multiple voltage values as described
in connection with the first embodiment, or the multiple
20 voltage values of the sustain pulse may be formed by externally
applied voltage. The fourth embodiment is characterized in
that the waveform applied in the initial and final cycles in
the sustaining discharge period is formed with the first
voltage value V_s in the sustain pulse in the other period, in
25 other words a rectangular pulse is formed.

The time between the end of the address period and the start of the sustaining discharge period is for example the time for the width of address pulse \times the number of address lines in view of the X1 line. This could be as long as 1msec or more depending upon the condition, and space charges generated during the address period no longer exist. As a result, the initial part of the sustain pulse is with discharge delay and unstable. Therefore, the entire panel must be supplied with space charges as soon as possible so that the discharge can be stabilized. This can be achieved by generating intense discharge during the initial cycle of the sustaining discharge period. Therefore, according to the embodiment, the pulses are formed only with the maximum voltage V_s of the sustaining power supply to intensify the discharge. For the initial two pulses in Fig. 6, a pulse formed into a rectangular shape only with the first voltage value V_s is used, while the number of pulses is not particularly mentioned and discharge may be performed for an arbitrary number of times.

Thereafter, the sustain pulse is shaped into a form having multiple voltage values or the reactive power recovery circuit is operated in the condition to cause discharge, so that the discharge can be distributed to multiple occasions. Note that several cells to be discharged and several timings therefor are possible as described in conjunction with the first embodiment, while in any case, the current peak is distributed

so that each peak value is reduced in discharge.

If there is an interval between the end of the sustaining discharge period and the resetting period for the next subfield, similarly to the initial cycle in the sustaining discharge period as shown in Fig. 6, the last several pulses are desirably
5 formed into a rectangular shape with the first voltage V_s , i.e., the maximum voltage value. The discharge with reduced peak current is weakened discharge, and therefore the number of wall charges formed in a dielectric is small. If the time before
10 a resetting pulse is long, the number of space charges generated during the sustaining discharge period is small, and the next resetting operation cannot be stably performed. This can be solved by forming the last number of pulses during the
sustaining discharge period into a rectangular form with the
15 first voltage value V_s , so that sufficient wall charges are formed, and the discharge during the resetting period can stably be performed. Similarly to the initial pulses during the sustaining discharge period, the number of pulses to be formed into a rectangular shape is arbitrary.

20

...Omitted...